

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-208303

(P2003-208303A)

(43)公開日 平成15年7月25日 (2003.7.25)

(51)Int.Cl.  
G 06 F 7/00  
G 11 C 11/41  
H 03 K 19/177  
H 03 M 7/36  
H 04 N 7/32

識別記号

F I  
H 03 K 19/177  
H 03 M 7/36  
G 06 F 7/00  
H 04 N 7/137  
G 11 C 11/40

テ-マコ-ト(参考)  
5 B 0 1 5  
5 B 0 2 2  
A 5 C 0 5 9  
Z 5 J 0 4 2  
Z 5 J 0 6 4

審査請求 未請求 請求項の数27 OL (全35頁)

(21)出願番号 特願2002-4956(P2002-4956)  
(22)出願日 平成14年1月11日(2002.1.11)

(71)出願人 000002185  
ソニ-株式会社  
東京都品川区北品川6丁目7番35号  
(72)発明者 近藤 哲二郎  
東京都品川区北品川6丁目7番35号 ソニ-  
一株式会社内  
(72)発明者 市川 勉  
東京都品川区北品川6丁目7番35号 ソニ-  
一株式会社内  
(74)代理人 100090376  
弁理士 山口 邦夫 (外1名)

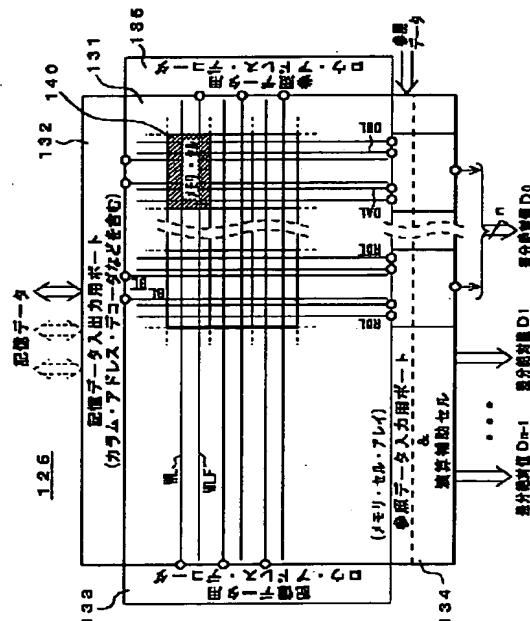
最終頁に続く

(54)【発明の名称】 半導体メモリ装置、動きベクトル検出装置および動き補償予測符号化装置

(57)【要約】

【課題】高速かつ効率的に所望の演算処理を行わせることができる半導体メモリ装置を提供する。  
【解決手段】メモリブロック125は、複数のメモリセル140がマトリックス状に配されたメモリ・セル・アレイ131と、記憶データ入出力用ポート(カラム・アドレス・デコーダを含む)132と、記憶データ用ロウ・アドレス・デコーダ133と、参照データ入力ポート&演算補助セル(カラム・アドレス・デコーダを含む)134と、参照データ用ロウ・アドレス・デコーダ135とを有している。メモリセル140に論理演算を行う演算機能部が含まれている。演算補助セルは、この演算機能部からの演算データを用いた数値演算を行う。数値演算結果として、例えば記憶データと参照データとの差分絶対値を得る。幅の広いデータ・バスを用いて処理回路にデータを伝送するものでなく、高速かつ効率的に演算処理を行い得る。

メモリブロックの構成例



## 【特許請求の範囲】

【請求項1】 それぞれメモリセルおよび演算補助セルを有する、1個または2個以上のメモリブロックを備えてなる半導体メモリ装置であって、  
上記メモリセルは、

“1”または“0”的データを記憶するメモリセル部と、  
参照データを入力するための参照データ入力部と、  
上記メモリセル部に記憶されている記憶データと上記参照データ入力部からの参照データとを用いた論理演算を行う演算機能部と、  
上記演算機能部で演算されて得られた演算データを出力する演算データ出力部と、  
セル選択信号を入力するためのセル選択信号入力部と、  
上記セル選択信号入力部に入力されるセル選択信号に基づいて、上記演算機能部からの演算データを上記演算データ出力部に出力する出力制御部とを備え、  
上記演算補助セルは、  
上記メモリセルの演算データ出力部に出力された演算データを入力するための演算データ入力部と、  
上記演算データ入力部に入力された演算データを用いた数値演算を行う演算部と、  
上記演算部で演算されて得られた演算データを出力する演算データ出力部とを備えることを特徴とする半導体メモリ装置。

【請求項2】 上記メモリセルの演算機能部は、複数の論理演算を並行して行うと共に、  
上記演算補助セルの演算部は、上記複数の論理演算によって得られた複数の演算データを用いた数値演算を行うことを特徴とする請求項1に記載の半導体メモリ装置。

【請求項3】 上記演算補助セルは、第1の演算補助セル部と第2の演算補助セル部とから構成され、  
上記第1の演算補助セル部は、上記メモリセルの演算機能部で演算されて得られた演算データを用いた第1の数値演算を行うと共に、  
上記第2の演算補助セル部は、複数の上記第1の演算補助セル部で演算されて得られた演算データを用いた第2の数値演算を行うことを特徴とする請求項1に記載の半導体メモリ装置。

【請求項4】 上記第1の数値演算は減算であり、上記第2の数値演算は絶対値演算であることを特徴とする請求項3に記載の半導体メモリ装置。

【請求項5】 上記1個または2個以上のメモリブロックより出力される演算データに基づく処理を行う回路ブロックをさらに備えることを特徴とする請求項1に記載の半導体メモリ装置。

【請求項6】 1個または2個以上のメモリブロックを備えてなる半導体メモリ装置であって、  
上記メモリブロックは、  
複数のビット線と、

上記複数のビット線に直交する複数のワード線と、  
上記複数のビット線に平行する、参照データを入力するための参照データ入力線と、

上記複数のビット線に平行する、演算データを出力するための演算データ出力線と、  
上記複数のワード線に平行する、セル選択信号を入力するためのセル選択線と、

上記ビット線、上記ワード線、上記参照データ入力線、  
上記演算データ出力線および上記セル選択線に接続され、マトリックス状に配された複数のメモリセルと、  
上記複数の演算データ出力線で出力される演算データの少なくとも一部を用いて数値演算を行う演算補助セルとを有し、  
上記メモリセルは、

“1”または“0”的データを記憶するメモリセル部と、

上記参照データ入力線に接続され、上記参照データを入力するための参照データ入力部と、

上記メモリセル部に記憶されている記憶データと上記参照データ入力部からの参照データとを用いた論理演算を行う演算機能部と、

上記演算データ出力線に接続され、上記演算機能部で演算されて得られた演算データを上記演算データ出力線に出力するための演算データ出力部と、  
上記セル選択線に接続され、上記セル選択信号を入力するためのセル選択信号入力部と、

上記セル選択信号入力部に入力されるセル選択信号に基づいて、上記演算機能部で演算されて得られた演算データを上記演算データ出力部に出力する出力制御部とを備えることを特徴とする半導体メモリ装置。

【請求項7】 上記メモリセルの演算機能部は複数の論理演算を並行して行うものであり、  
上記メモリセルは、上記複数の論理演算によって得られた複数の演算データをそれぞれ出力するための複数の上記演算データ出力線に接続されていることを特徴とする請求項6に記載の半導体メモリ装置。

【請求項8】 上記演算補助セルは、  
上記複数のセル選択線のうち選択された所定のセル選択線に対応した複数のメモリセルから出力される上記演算データを用いてそれぞれ第1の数値演算を行う複数の第1の演算補助セルと、

上記複数の第1の演算補助セルの所定個毎に、該所定個毎の第1の演算補助セルで演算されて得られた演算データを用いてそれぞれ第2の数値演算を行う複数の第2の演算補助セルとからなることを特徴とする請求項6に記載の半導体メモリ装置。

【請求項9】 上記第1の数値演算は減算であり、  
上記第2の数値演算は絶対値演算であることを特徴とする請求項8に記載の半導体メモリ装置。

【請求項10】 上記マトリックス状に配された複数の

- メモリセルの領域は、上記ワード線に沿う方向に分割された複数の分割領域からなり、
- 上記複数のセル選択線は、それぞれ、上記複数の分割領域に対応して分割された複数の分割セル選択線からなり、
- 上記メモリブロックは、各分割領域で同時に活性化される分割セル選択線を切り換えるための切り換え機構をさらに有することを特徴とする請求項6に記載の半導体メモリ装置。

【請求項11】 上記切り換え機構は、隣接する第1の分割領域と第2の分割領域との間に配され、

上記第1の分割領域の第1の分割セル選択線を、該第1の分割領域に隣接する第2の分割領域の、上記第1の分割セル選択線に対して上記ビット線に沿う方向に同一位置または隣接位置の第2の分割セル選択線に、選択的に接続するスイッチ回路を有してなることを特徴とする請求項10に記載の半導体メモリ装置。

【請求項12】 上記メモリブロックは、上記ワード線に沿う方向に並ぶ複数の分割セル選択線毎に、上記ワード線に平行する、上記セル選択信号を入力するためのグローバル選択線をさらに有し、

上記切り換え機構は、

各分割領域にそれぞれ対応して配され、ビット線に沿う方向に隣接する第1および第2の分割セル選択線のうちいずれかに、上記グローバル選択線から上記セル選択信号を選択的に供給するゲート回路を有してなることを特徴とする請求項10に記載の半導体メモリ装置。

【請求項13】 上記各分割領域の1つの分割セル選択線に対応する複数のメモリセルには、画像データを構成する垂直方向または水平方向の整数列分の画素データが記憶されることを特徴とする請求項10に記載の半導体メモリ装置。

【請求項14】 上記1個または2個以上のメモリブロックより出力される演算データに基づく処理を行う回路ブロックをさらに備えることを特徴とする請求項6に記載の半導体メモリ装置。

【請求項15】 1個または2個以上のメモリブロックを備えてなる半導体メモリ装置であって、

上記メモリブロックは、

複数のビット線と、

上記複数のビット線に直交する複数のワード線と、

上記複数のビット線に直交する、参照データを入力するための参照データ入力線と、

上記複数のビット線に直交する、演算データを出力するための演算データ出力線と、

上記複数のワード線に直交する、セル選択信号を入力するためのセル選択線と、

上記ビット線、上記ワード線、上記参照データ入力線、上記演算データ出力線および上記セル選択線に接続さ

れ、マトリックス状に配された複数のメモリセルと、上記複数の演算データ出力線で出力される演算データの少なくとも一部を用いて数値演算を行う演算補助セルとを有し、

上記メモリセルは、

“1”または“0”的データを記憶するメモリセル部と、

上記参照データ入力線に接続され、上記参照データを入力するための参照データ入力部と、

10 上記メモリセル部に記憶されている記憶データと上記参照データ入力部からの参照データとを用いた論理演算を行う演算機能部と、

上記演算データ出力線に接続され、上記演算機能部で演算されて得られた演算データを上記演算データ出力線に出力するための演算データ出力部と、

上記セル選択線に接続され、上記セル選択信号を入力するためのセル選択信号入力部と、

上記セル選択信号入力部に入力されるセル選択信号に基づいて、上記演算機能部で演算されて得られた演算データを上記演算データ出力部に出力する出力制御部とを備えることを特徴とする半導体メモリ装置。

【請求項16】 上記メモリセルの演算機能部は複数の論理演算を並行して行うものであり、

上記メモリセルは、上記複数の論理演算によって得られた複数の演算データをそれぞれ出力するための複数の上記演算データ出力線に接続されていることを特徴とする請求項15に記載の半導体メモリ装置。

【請求項17】 上記演算補助セルは、

上記複数のセル選択線のうち選択された所定のセル選択線に対応した複数のメモリセルから出力される上記演算データを用いてそれぞれ第1の数値演算を行う複数の第1の演算補助セルと、

上記複数の第1の演算補助セルの所定個毎に、該所定個毎の第1の演算補助セルで演算されて得られた演算データを用いてそれぞれ第2の数値演算を行う複数の第2の演算補助セルとからなることを特徴とする請求項15に記載の半導体メモリ装置。

【請求項18】 上記第1の数値演算は減算であり、

上記第2の数値演算は絶対値演算であることを特徴とする請求項17に記載の半導体メモリ装置。

【請求項19】 上記マトリックス状に配された複数のメモリセルの領域は、上記ビット線に沿う方向に分割された複数の分割領域からなり、

上記複数のセル選択線は、それぞれ、上記複数の分割領域に対応して分割された複数の分割セル選択線からなり、

上記メモリブロックは、各分割領域で同時に活性化される分割セル選択線を切り換えるための切り換え機構をさらに有することを特徴とする請求項15に記載の半導体メモリ装置。

50

【請求項20】 上記切り換え機構は、  
隣接する第1の分割領域と第2の分割領域との間に配され、

上記第1の分割領域の第1の分割セル選択線を、該第1の分割領域に隣接する第2の分割領域の、上記第1の分割セル選択線に対して上記ワード線に沿う方向に同一位置または隣接位置の第2の分割セル選択線に、選択的に接続するスイッチ回路を有してなることを特徴とする請求項19に記載の半導体メモリ装置。

【請求項21】 上記メモリブロックは、上記ビット線に沿う方向に並ぶ複数の分割セル選択線毎に、上記ビット線に平行する、上記セル選択信号を入力するためのグローバル選択線をさらに有し、

上記切り換え機構は、

各分割領域にそれぞれ対応して配され、ワード線に沿う方向に隣接する第1および第2の分割セル選択線のうちいずれかに、上記グローバル選択線から上記セル選択信号を選択的に供給するゲート回路を有してなることを特徴とする請求項19に記載の半導体メモリ装置。

【請求項22】 上記各分割領域の1つの分割セル選択線に対応する複数のメモリセルには、画像データを構成する垂直方向または水平方向の整数列分の画素データが記憶されることを特徴とする請求項19に記載の半導体メモリ装置。

【請求項23】 上記1個または2個以上のメモリブロックより出力される演算データに基づく処理を行う回路ブロックをさらに備えることを特徴とする請求項15に記載の半導体メモリ装置。

【請求項24】 時間的に前後する参照フレームと探索フレームとから動きベクトルを検出する動きベクトル検出装置であって、

上記参照フレームを構成する複数の画素データを記憶する第1のメモリ部と、

上記探索フレームを構成する複数の画素データを記憶する第2のメモリ部と、

上記第1のメモリ部より参照ブロックの画素データを読み出して上記第2のメモリ部に参照データとして供給すると共に、上記第2のメモリ部において、上記参照ブロックに対応した探索範囲の複数の候補ブロックのそれぞれに対し、該候補ブロックの画素データと上記参照ブロックの画素データとの差分を、対応する画素データ毎に演算するように制御するメモリ制御部と、

上記第2のメモリ部で演算された複数の候補ブロックのそれぞれに対する画素データ毎の差分に基づいて、上記参照ブロックに対応した動きベクトルを検出する動きベクトル検出部とを備え、

上記第2のメモリ部は、それぞれメモリセルおよび演算補助セルを有する、1個または2個以上の半導体メモリブロックで構成され、

上記メモリセルは、

“1”または“0”的データを記憶するメモリセル部と、

上記参照データを入力するための参照データ入力部と、上記メモリセル部に記憶されている記憶データと上記参照データ入力部からの参照データとを用いた論理演算を行う演算機能部と、

上記演算機能部で演算されて得られた演算データを出力する演算データ出力部と、

セル選択信号を入力するためのセル選択信号入力部と、上記セル選択信号入力部に入力されるセル選択信号に基づいて、上記演算機能部で演算されて得られた演算データを上記演算データ出力部に出力する出力制御部とを備え、

上記演算補助セルは、

上記メモリセルの演算データ出力部に出力された演算データを入力するための演算データ入力部と、

上記演算データ入力部に入力された演算データを用いた数値演算を行って上記差分を得る演算部とを備えることを特徴とする動きベクトル検出装置。

20 【請求項25】 時間的に前後する参照フレームと探索フレームとから動きベクトルを検出する動きベクトル検出装置であって、

上記参照フレームを構成する複数の画素データを記憶する第1のメモリ部と、

上記探索フレームを構成する複数の画素データを記憶する第2のメモリ部と、

上記第1のメモリ部より参照ブロックの画素データを読み出して上記第2のメモリ部に参照データとして供給すると共に、上記第2のメモリ部において、上記参照ブロックに対応した探索範囲の複数の候補ブロックのそれぞれに対し、該候補ブロックの画素データと上記参照ブロックの画素データとの差分を、対応する画素データ毎に演算するように制御するメモリ制御部と、

上記第2のメモリ部で演算された複数の候補ブロックのそれぞれに対する画素データ毎の差分に基づいて、上記参照ブロックに対応した動きベクトルを検出する動きベクトル検出部とを備え、

上記第2のメモリ部は、それぞれ1個または2個以上の半導体メモリブロックで構成され、

40 上記半導体メモリブロックは、  
複数のビット線と、

上記複数のビット線に直交する複数のワード線と、  
上記複数のビット線に平行する、上記参照データを入力するための参照データ入力線と、

上記複数のビット線に平行する、演算データを出力するための演算データ出力線と、

上記複数のワード線に平行する、セル選択信号を入力するためのセル選択線と、

上記ビット線、上記ワード線、上記参照データ入力線、  
上記演算データ出力線および上記セル選択線に接続さ

- ・ れ、マトリックス状に配された複数のメモリセルと、上記複数の演算データ出力線で出力される演算データの少なくとも一部を用いて数値演算を行って上記差分を得る演算補助セルとを有し、  
上記メモリセルは、  
“1”または“0”的データを記憶するメモリセル部と上記参照データ入力線に接続され、上記参照データを入力するための参照データ入力部と、  
上記メモリセル部に記憶されている記憶データと上記参照データ入力部からの参照データとを用いた論理演算を行う演算機能部と、  
上記演算データ出力線に接続され、上記演算機能部で演算されて得られた演算データを上記演算データ出力線に出力するための演算データ出力部と、  
上記セル選択線に接続され、上記セル選択信号を入力するためのセル選択信号入力部と、  
上記セル選択信号入力部に入力されるセル選択信号に基づいて、上記演算機能部で演算されて得られた演算データを上記演算データ出力部に出力する出力制御部とを備えることを特徴とする動きベクトル検出装置。  
【請求項26】 時間的に前後する参照フレームと探索フレームとから動きベクトルを検出する動きベクトル検出装置であって、  
上記参照フレームを構成する複数の画素データを記憶する第1のメモリ部と、  
上記探索フレームを構成する複数の画素データを記憶する第2のメモリ部と、  
上記第1のメモリ部より参照ブロックの画素データを読み出して上記第2のメモリ部に参照データとして供給すると共に、上記第2のメモリ部において、上記参照ブロックに対応した探索範囲の複数の候補ブロックのそれぞれに対し、該候補ブロックの画素データと上記参照ブロックの画素データとの差分を、対応する画素データ毎に演算するように制御するメモリ制御部と、  
上記第2のメモリ部で演算された複数の候補ブロックのそれぞれに対する画素データ毎の差分に基づいて、上記参照ブロックに対応した動きベクトルを検出する動きベクトル検出部とを備え、  
上記第2のメモリ部は、それぞれ1個または2個以上の半導体メモリブロックで構成され、  
上記半導体メモリブロックは、  
複数のピット線と、  
上記複数のピット線に直交する複数のワード線と、  
上記複数のピット線に直交する、上記参照データを入力するための参照データ入力線と、  
上記複数のピット線に直交する、演算データを出力するための演算データ出力線と、  
上記複数のワード線に直交する、セル選択信号を入力するためのセル選択線と、  
上記ピット線、上記ワード線、上記参照データ入力線、

- 上記演算データ出力線および上記セル選択線に接続され、マトリックス状に配された複数のメモリセルと、上記複数の演算データ出力線で出力される演算データの少なくとも一部を用いて数値演算を行って上記差分を得る演算補助セルとを有し、  
上記メモリセルは、  
“1”または“0”的データを記憶するメモリセル部と上記参照データ入力線に接続され、上記参照データを入力するための参照データ入力部と、  
10 上記メモリセル部に記憶されている記憶データと上記参照データ入力部からの参照データとを用いた論理演算を行う演算機能部と、  
上記演算データ出力線に接続され、上記演算機能部で演算されて得られた演算データを上記演算データ出力線に出力するための演算データ出力部と、  
上記セル選択線に接続され、上記セル選択信号を入力するためのセル選択信号入力部と、  
上記セル選択信号入力部に入力されるセル選択信号に基づいて、上記演算機能部で演算されて得られた演算データを上記演算データ出力部に出力する出力制御部とを備えることを特徴とする動きベクトル検出装置。  
【請求項27】 時間的に前後する参照フレームと探索フレームとから動きベクトル検出回路で動きベクトルを検出し、該動きベクトルを用いて動き補償を行う動き補償予測符号化装置であって、  
上記動きベクトル検出回路は、  
上記参照フレームを構成する複数の画素データを記憶する第1のメモリ部と、  
上記探索フレームを構成する複数の画素データを記憶する第2のメモリ部と、  
30 上記第1のメモリ部より参照ブロックの画素データを読み出して上記第2のメモリ部に参照データとして供給すると共に、上記第2のメモリ部において、上記参照ブロックに対応した探索範囲の複数の候補ブロックのそれぞれに対し、該候補ブロックの画素データと上記参照ブロックの画素データとの差分を、対応する画素データ毎に演算するように制御するメモリ制御部と、  
上記第2のメモリ部で演算された複数の候補ブロックのそれぞれに対する画素データ毎の差分に基づいて、上記参照ブロックに対応した動きベクトルを検出する動きベクトル検出部とを備え、  
上記第2のメモリ部は、それぞれメモリセルおよび演算補助セルを有する、1個または2個以上の半導体メモリブロックで構成され、  
上記メモリセルは、  
“1”または“0”的データを記憶するメモリセル部と、  
上記参照データを入力するための参照データ入力部と、  
上記メモリセル部に記憶されている記憶データと上記參50 照データ入力部からの参照データとを用いた論理演算を

行う演算機能部と、  
上記演算機能部で演算されて得られた演算データを出力する演算データ出力部と、  
セル選択信号を入力するためのセル選択信号入力部と、  
上記セル選択信号入力部に入力されるセル選択信号に基づいて、上記演算機能部で演算されて得られた演算データを上記演算データ出力部に出力する出力制御部とを備え、  
上記演算補助セルは、  
上記メモリセルの演算データ出力部に出力された演算データを入力するための演算データ入力部と、  
上記演算データ入力部に入力された演算データを用いた数値演算を行って上記差分を得る演算部とを備えることを特徴とする動き補償予測符号化装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、半導体メモリ装置、動きベクトル検出装置および動き補償予測符号化装置に関する。詳しくは、メモリセルが記憶データと参照データ入力部からの参照データとを用いた論理演算を行う演算機能部を備えると共に、このメモリセルの演算データ出力部から出力された演算データを用いた数値演算を行う演算補助セルを有する構成とすることによって、幅の広いデータ・バスを用いて処理回路にデータを伝送することなく、高速かつ効率的に所望の演算処理を行えることができる半導体メモリ装置等に係るものである。

## 【0002】

【従来の技術】従来の半導体メモリ装置における機能は入力データの記憶であり、データの演算、処理は他の半導体装置によって行われていた。これに対して、記憶機能と演算、処理機能とを1個の半導体装置中に併せ持つことにより、より高速な演算、処理が可能となる可能性がある。

【0003】その一つに、メモリと論理回路とを1個の半導体チップ上に併置したSOC(System On Chip)がある。また、これとはやや異なり、メモリ自身に演算機能を持たせたものに、例えばCAM(Content Addressable Memory)等の機能メモリがある。

## 【0004】

【発明が解決しようとする課題】前者は、依然として旧来のノイマン・アーキテクチャに基づくものであり、メモリと論理回路とを1チップ化したことで、これらの間のバス幅を拡げることとクロックの高速化により、処理の高速化を図るものである。いわゆる、ファンノイマン・ボトルネックを力で抑制するといった側面があり、必ずしも優れた解決あるいは回避の方法であるとはいえない。

【0005】これに対して後者では、SIMD(Single Instruction stream Multiple Datastream)形式の並列

処理により、全データを同時に処理することで高速化が図られる。全データが揃うまでの待ち時間が生じたり、部分データ毎に異なる処理は行えない等の問題となる場合もある。また、多くの場合、1ビット毎の繰り返し演算の積み重ねによって、データを構成するビット全体の演算すなわちデータ全体の処理が行われる。

【0006】これらは必ずしも明確に分離されるものではなく、良いところを組み合わせることで、より適切な処理が行える可能性も考えられる。例えば、ある処理に必要なデータが全体のうちの一部分であれば、全データが揃うのを待つことなく、それらが揃ったところでそれらのデータのみを対象とした部分的な並列処理を実行すればよい。

【0007】またことで、メモリあるいはメモリ・セル自身が必要な演算機能を有することにより、幅の広いデータ・バスを用いてメモリから処理回路までデータを伝送されることもなく、その場で、また全ビット同時に、演算を行わせることも考えられる。さらには、記憶データの書き込みおよび読み出しと記憶データに基づいた演算、処理とを独立にすることで、全体としてより柔軟で効率的な処理を行わせることも期待できる。そこで、この発明では、高速かつ効率的に所望の演算処理を行えることができる半導体メモリ装置等を提供すること目的とする。

## 【0008】

【課題を解決するための手段】この発明に係る半導体メモリ装置は、それぞれメモリセルおよび演算補助セルを有する、1個または2個以上のメモリブロックからなる半導体メモリ装置であって、メモリセルは、“1”または“0”的データを記憶するメモリセル部と、参照データを入力するための参照データ入力部と、メモリセル部に記憶されている記憶データと参照データ入力部からの参照データとの論理演算を行う演算機能部と、演算機能部で演算されて得られた演算データを出力する演算データ出力部と、セル選択信号を入力するためのセル選択信号入力部と、このセル選択信号入力部に入力されるセル選択信号に基づいて、演算機能部からの演算データを演算データ出力部に出力する出力制御部とを備え、演算補助セルは、メモリセルの演算データ出力部に出力された演算データを入力するための演算データ入力部と、この演算データ入力部に入力された演算データを用いた数値演算を行う演算部と、この演算部で演算されて得られた演算データを出力する演算データ出力部とを備えるものである。

【0009】また、この発明に係る半導体メモリ装置は、それぞれメモリセルおよび演算補助セルを有する、1個または2個以上のメモリブロックからなる半導体メモリ装置であって、メモリブロックは、データを転送するための複数のビット線と、この複数のビット線に直交する複数のワード線と、複数のビット線に平行する、參

照データを入力するための参照データ入力線と、複数のビット線に平行する、演算データを出力するための演算データ出力線と、複数のワード線に平行する、セル選択信号を入力するためのセル選択線と、ビット線、ワード線、参照データ入力線、演算データ出力線およびセル選択線に接続され、マトリックス状に配された複数のメモリセルと、複数の演算データ出力線で出力される演算データの少なくとも一部を用いて数値演算を行う複数の演算補助セルとを有し、メモリセルは、ビット線およびワード線に接続され、“1”または“0”的データを記憶するメモリセル部と参照データ入力線に接続され、参照データを入力するための参照データ入力部と、メモリセル部に記憶されている記憶データと参照データ入力部からの参照データとの論理演算を行う演算機能部と、演算データ出力線に接続され、演算機能部で演算されて得られた演算データを演算データ出力線に出力するための演算データ出力部と、セル選択線に接続され、セル選択信号を入力するためのセル選択信号入力部と、セル選択信号入力部に入力されるセル選択信号に基づいて、演算機能部で演算されて得られた演算データを演算データ出力線に出力するための演算データ出力部とを備えるものである。

【0010】また、この発明に係る半導体メモリ装置は、それぞれメモリセルおよび演算補助セルを有する、1個または2個以上のメモリブロックからなる半導体メモリ装置であって、メモリブロックは、データを転送するための複数のビット線と、この複数のビット線に直交する複数のワード線と、複数のビット線に直交する、参照データを入力するための参照データ入力線と、複数のビット線に直交する、演算データを出力するための演算データ出力線と、複数のワード線に直交する、セル選択信号を入力するためのセル選択線と、ビット線、ワード線、参照データ入力線、演算データ出力線およびセル選択線に接続され、マトリックス状に配された複数のメモリセルと、複数の演算データ出力線で出力される演算データの少なくとも一部を用いて数値演算を行う複数の演算補助セルとを有し、メモリセルは、ビット線およびワード線に接続され、“1”または“0”的データを記憶するメモリセル部と、参照データ入力線に接続され、参照データを入力するための参照データ入力部と、メモリセル部に記憶されている記憶データと参照データ入力部からの参照データとの論理演算を行う演算機能部と、演算データ出力線に接続され、演算機能部で演算されて得られた演算データを演算データ出力線に出力するための演算データ出力部と、セル選択線に接続され、セル選択信号を入力するためのセル選択信号入力部と、セル選択信号入力部に入力されるセル選択信号に基づいて、演算機能部で演算されて得られた演算データを演算データ出力線に出力するための演算データ出力部とを備えるものである。

【0011】また、この発明に係る動きベクトル検出装置は、時間的に前後する参照フレームと探索フレームとから動きベクトルを検出する動きベクトル検出装置であって、参照フレームを構成する複数の画素データを記憶する第1のメモリ部と、探索フレームを構成する複数の画素データを記憶する第2のメモリ部と、第1のメモリ部より参照ブロックの複数の画素データを読み出して第2のメモリ部に参照データとして供給すると共に、第2のメモリ部において、参照ブロックに対応した複数の候補ブロックのそれぞれに対し、この候補ブロックの画素データを読み出し、この候補ブロックと参照ブロックとの画素データ毎の差分を演算するように制御するメモリ制御部と、第2のメモリ部より出力される複数の候補ブロックのそれぞれに対する画素データ毎の差分に基づいて、参照ブロックに対応した動きベクトルを検出する動きベクトル検出部とを備え、第2のメモリ部は、それぞれメモリセルおよび演算補助セルを有する、1個または2個以上の半導体メモリブロックで構成され、メモリセルは、“1”または“0”的データを記憶するメモリセル部と、参照データを入力するための参照データ入力部と、メモリセル部に記憶されている記憶データと参照データ入力部からの参照データとの論理演算を行う演算機能部と、この演算機能部で演算されて得られた演算データを出力する演算データ出力部と、セル選択信号を入力するためのセル選択信号入力部と、このセル選択信号入力部に入力されるセル選択信号に基づいて、演算機能部からの演算データを演算データ出力部に出力する出力制御部とを備え、演算補助セルは、メモリセルの演算データ出力部に出力された演算データを入力するための演算データ入力部と、この演算データ入力部に入力された演算データを用いた数値演算を行って差分を得る演算部とを備えるものである。

【0012】また、この発明に係る動きベクトル検出装置は、時間的に前後する参照フレームと探索フレームとから動きベクトルを検出する動きベクトル検出装置であって、参照フレームを構成する複数の画素データを記憶する第1のメモリ部と、探索フレームを構成する複数の画素データを記憶する第2のメモリ部と、第1のメモリ部より参照ブロックの複数の画素データを読み出して第2のメモリ部に参照データとして供給すると共に、第2のメモリ部において、参照ブロックに対応した複数の候補ブロックのそれぞれに対し、この候補ブロックの画素データを読み出し、この候補ブロックと参照ブロックとの画素データ毎の差分を演算するように制御するメモリ制御部と、第2のメモリ部より出力される複数の候補ブロックのそれぞれに対する画素データ毎の差分に基づいて、参照ブロックに対応した動きベクトルを検出する動きベクトル検出部とを備え、第2のメモリ部は、それぞれ1個または2個以上の半導体メモリブロックで構成され、半導体メモリブロックは、データを転送するための

複数のビット線と、この複数のビット線に直交する複数のワード線と、複数のビット線に平行する、参照データを入力するための参照データ入力線と、複数のビット線に平行する、演算データを出力するための演算データ出力線と、複数のワード線に平行する、セル選択信号を入力するためのセル選択線と、ビット線、ワード線、参照データ入力線、演算データ出力線およびセル選択線に接続され、マトリックス状に配された複数のメモリセルと、複数の演算データ出力線で出力される演算データの少なくとも一部を用いて数値演算を行って差分を得る複数の演算補助セルとを有し、メモリセルは、ビット線およびワード線に接続され、“1”または“0”的データを記憶するメモリセル部と参照データ入力線に接続され、参照データを入力するための参照データ入力部と、メモリセル部に記憶されている記憶データと参照データ入力部からの参照データとの論理演算を行う演算機能部と、演算データ出力線に接続され、演算機能部で演算されて得られた演算データを演算データ出力線に出力するための演算データ出力部と、セル選択線に接続され、セル選択信号を入力するためのセル選択信号入力部と、セル選択信号入力部に入力されるセル選択信号に基づいて、演算機能部で演算されて得られた演算データを演算データ出力線に出力するための演算データ出力部とを備えるものである。

【0013】また、この発明に係る動きベクトル検出装置は、時間的に前後する参照フレームと探索フレームとから動きベクトルを検出する動きベクトル検出装置であって、参照フレームを構成する複数の画素データを記憶する第1のメモリ部と、探索フレームを構成する複数の画素データを記憶する第2のメモリ部と、第1のメモリ部より参照プロックの複数の画素データを読み出して第2のメモリ部に参照データとして供給すると共に、第2のメモリ部において、参照プロックに対応した複数の候補プロックのそれぞれに対し、この候補プロックの画素データを読み出し、この候補プロックと参照プロックとの画素データ毎の差分を演算するように制御するメモリ制御部と、第2のメモリ部より出力される複数の候補プロックのそれぞれに対する画素データ毎の差分に基づいて、参照プロックに対応した動きベクトルを検出する動きベクトル検出部とを備え、第2のメモリ部は、それぞれ1個または2個以上の半導体メモリプロックで構成され、半導体メモリプロックは、データを転送するための複数のビット線と、この複数のビット線に直交する複数のワード線と、複数のビット線に直交する、参照データを入力するための参照データ入力線と、複数のビット線に直交する、演算データを出力するための演算データ出力線と、複数のワード線に直交する、セル選択信号を入力するためのセル選択線と、ビット線、ワード線、参照データ入力線、演算データ出力線およびセル選択線に接続され、マトリックス状に配された複数のメモリセル

と、複数の演算データ出力線で出力される演算データの少なくとも一部を用いて数値演算を行って差分を得る複数の演算補助セルとを有し、メモリセルは、ビット線およびワード線に接続され、“1”または“0”的データを記憶するメモリセル部と参照データ入力線に接続され、参照データを入力するための参照データ入力部と、メモリセル部に記憶されている記憶データと参照データ入力部からの参照データとの論理演算を行う演算機能部と、演算データ出力線に接続され、演算機能部で演算されて得られた演算データを演算データ出力線に出力するための演算データ出力部と、セル選択線に接続され、セル選択信号を入力するためのセル選択信号入力部と、このセル選択信号入力部に入力されるセル選択信号に基づいて、演算機能部で演算されて得られた演算データを演算データ出力線に出力するための演算データ出力部とを備えるものである。

【0014】また、この発明に係る動き補償予測符号化装置は、上述した動きベクトル検出装置で検出された動きベクトルを用いて動き補償を行うものである。

【0015】この発明において、半導体メモリ装置は、それぞれメモリセルおよび演算補助セルを有する、1個または2個以上のメモリプロックからなっている。メモリセルの演算機能部では、メモリセル部に記憶されている“1”または“0”的記憶データと参照データ入力部からの参照データとを用いた論理演算が行われ、セル選択信号入力部にセル選択信号が入力されることで、この演算機能部で演算されて得られた演算データが演算データ出力部に出力される。また、演算補助セルでは、メモリセルの演算データ出力部に出力された演算データを用いた数値演算が行われ、その演算データが演算データ出力部に出力される。

【0016】例えば、メモリセルの演算機能部では複数の論理演算が並行して行われると共に、演算補助セルの演算部では複数の論理演算によって得られた複数の演算データを用いた数値演算が行われる。

【0017】また例えば、演算補助セルは、第1の演算補助セル部と第2の演算補助セル部とから構成され、第1の補助セル部では、メモリセルの演算機能部で演算されて得られた演算データを用いた第1の数値演算が行われると共に、第2の演算補助セル部では、複数の第1の補助セル部で演算されて得られた演算データを用いた第2の数値演算が行われる。この場合、第1の数値演算が減算であり、第2の数値演算が絶対値演算であるとき、演算補助セルより出力される演算データとして差分絶対値が得られる。

【0018】このように、メモリプロックを構成するメモリセルに論理演算を行う演算機能部が含まれ、さらにつれてこのメモリプロックに演算データを用いて数値演算を行うための演算補助セルを有するものであり、幅の広いデータ・バスを用いて処理回路にデータを伝送することな

く、メモリブロック内で、高速かつ効率的に所望の演算処理を行わせることができる。

【0019】例えば、メモリブロックは、データを転送するための複数のビット線と、この複数のビット線に直交する複数のワード線と、複数のビット線に平行または直交する、参照データを入力するための参照データ入力線および演算データを出力するための演算データ出力線と、複数のワード線に平行または直交する、セル選択信号を入力するためのセル選択線とが配されており、これらビット線、ワード線、参照データ入力線、演算データ出力線およびセル選択線に、マトリックス状に配された複数のメモリセルのそれぞれが接続されている。そして、複数の演算補助セルで、複数の演算データ出力線で出力される演算データの少なくとも一部を用いて数値演算が行われる。

【0020】この場合、記憶データの書き込み、読み出しは、複数のビット線、複数のワード線を用いて行われる。一方、演算データの出力は、複数の参照データ入力線、複数の演算データ出力線および複数のセル選択線を用いて行われる。これにより、記憶データの書き込み、読み出しと、演算データの出力とを独立して行うことができ、全体としてより柔軟で効率的な処理が可能となる。

【0021】例えば、マトリックス状に配された複数のメモリセルの領域は、セル選択線に沿う方向に分割された複数の分割領域からなり、複数のセル選択線は、それぞれ、上記複数の分割領域に対応して分割された複数の分割セル選択線からなっている。そして、メモリブロックは、各分割領域で同時に活性化される分割セル選択線を切り換えるための切り換え機構を有している。これにより、マトリックス状に配された複数のメモリセルのセル選択線に沿う方向に、分割セル選択線単位で階段状に並ぶ複数のメモリセルの演算データを演算データ出力線に出力して、演算補助セルで処理することができる。

【0022】この場合、画像データを構成する画素データをマトリックス状に配された複数のメモリセルに適切に配置しておくことで、矩形または十字形等の任意の形状の画素ブロックを構成する複数の画素データに対応した演算データを同時に複数の演算データ出力線に出力でき、これらを用いた数値演算を複数の演算補助セルで一括、同時に行うことができ、データ処理効率の大幅な向上が図られる。また、当該画素ブロックの位置を容易に変更可能となる。

【0023】例えば、1つの分割セル選択線に対応する複数のメモリセルに、画像データを構成する垂直方向または水平方向の整数列分の画素データが記憶されることにより、上述の画素ブロックを水平方向または垂直方向に整数画素単位で移動させることができ、一方それと直交する方向に1画素単位で移動させることができる。

【0024】上述した1個または2個以上のメモリブロックの他に、メモリブロックより出力される演算データに基づく処理を行う回路ブロックを有する半導体メモリ装置においては、さらに処理の高速化、効率化を図ることが可能となる。

【0025】なお、上述した半導体メモリ装置を、動きベクトル検出装置、あるいは動き補償予測符号化装置の動きベクトル検出回路のメモリ部に用いることで、動きベクトル検出のための処理の高速化、効率化が図られる。

【0026】

【発明の実施の形態】以下、図面を参照しながら、この発明の実施の形態について説明する。図1は、実施の形態としての動き補償予測符号化装置100の構成を示している。この符号化装置100は、画像データ（動画像を構成するフレームデータ）Diを入力する入力端子101と、この入力端子101に供給される画像データDiと後述する動き補償回路110から供給される予測画像データとの差分を演算する減算器102と、この減算器102で得られる差分データに対してDCT（離散コサイン変換）を行うDCT回路103と、このDCT回路103で得られるDCT係数に対して量子化を行う量子化回路104と、この量子化回路104で得られた符号化データDoを出力する出力端子105とを有している。

【0027】また、符号化装置100は、量子化回路104で得られた符号化データDoに対して逆量子化を行う逆量子化回路106と、この逆量子化回路106の出力データに対して逆DCTを行って差分データを得る逆DCT回路107と、この逆DCT回路107で得られる差分データと動き補償回路110で得られる予測画像データとを加算して元の画像データを復元する加算器108と、この加算器108で復元された画像データを記憶するフレームメモリ109とを有している。

【0028】また、符号化装置100は、フレームメモリ109に記憶された画像データを読み込み、後述する動きベクトル検出回路111からの動きベクトルMVに基づいて動き補償をした後、上述したように減算器102および加算器108に予測画像データとして供給する動き補償回路110と、入力端子101に供給される画像データDiの動きベクトルMVを検出して動き補償回路110に供給する動きベクトル検出回路111とを有している。

【0029】図1に示す動き補償予測符号化装置100の動作を説明する。入力端子101に入力される画像データDiは、減算器102および動きベクトル検出回路111に供給される。減算器102では、この画像データDiと動き補償回路110から供給される予測画像データとの差分が演算される。

50 【0030】減算器102で得られる差分データはDC

T回路103に供給されて離散コサイン変換される。このDCT回路103で得られるDCT係数は量子化回路104に供給されて量子化される。そして、この量子化回路104で得られた符号化データD<sub>0</sub>が output 端子105に出力される。

【0031】また、量子化回路104で得られる符号化データD<sub>0</sub>が逆量子化回路106に供給されて逆量子化され、さらにこの逆量子化回路106の出力データが逆DCT回路107に供給されて逆DCTされ、差分データが復元される。この差分データと動き補償回路110からの予測データとが加算器108で加算されて元の画像データが復元され、この復元された画像データがフレームメモリ109に記憶される。

【0032】動き補償回路110では、あるフレームにおいては、その前のフレームにフレームメモリ109に記憶された画像データの読み込みが行われて、動きベクトル検出回路111からの動きベクトルMVに基づいて動き補償されて、予測画像データが得られる。この予測画像データは、上述したように、差分データを得るために減算器102に供給されると共に、画像データを復元するために加算器108に供給される。

【0033】次に、動きベクトル検出回路111の詳細を説明する。この動きベクトル検出回路111では、ブロックマッチング法により動きベクトルが検出される。これは、図2に示すように、探索フレームの候補ブロックを所定の探索範囲内で移動し、参照フレームの参照ブロックと最も合致している候補ブロックを検出することにより、動きベクトルを求めるものである。

【0034】ブロックマッチング法では、図3Aに示すように、1枚の画像、例えば水平H画素、垂直Vラインの1フレームの画像が図4Bに示すように、P画素×Qラインのブロックに細分化される。図3Bの例では、P=5、Q=5の例である。cがブロックの中心画素位置である。

【0035】図4A～Cは、cを中心画素とする参照ブロックとc'を中心とする候補ブロックの位置関係を示している。cを中心画素とする参照ブロックは、参照フレームの注目しているある参照ブロックであり、それと一致する探索フレームの候補ブロックが探索フレームにおいてc'を中心とするブロックの位置にあるものとしている。ブロックマッチング法では、探索範囲内において、参照ブロックと最も合致する候補ブロックを見出すことによって、動きベクトルを検出する。

【0036】図4Aの場合では、水平方向に+1画素、垂直方向に+1ライン、すなわち、(+1, +1)の動きベクトルが検出される。図4Bでは、(+3, +3)の動きベクトルMVが検出され、図4Cでは、(+2, -1)の動きベクトルが検出される。動きベクトルは、参照フレームの参照ブロック毎に求められる。

【0037】動きベクトルを探索する範囲を水平方向で

±S画素、垂直方向で±Tラインとすると、参照ブロックは、その中心cに対して、水平に±S、垂直に±Tずれたところに中心c'を有する候補ブロックと比較される必要がある。

【0038】図5は、参照フレームのある参照ブロックの中心cの位置をRとする時に、比較すべき探索フレームの(2S+1)×(2T+1)個の候補ブロックとの比較が必要なことを示している。すなわち、この図5のます目の位置にc'が存在する候補ブロックの全てが比較対象である。図5は、S=4、T=3とした例である。

【0039】探索範囲内の比較で得られた評価値（すなわち、フレーム差の絶対値和、このフレーム差の二乗和、あるいはフレーム差の絶対値のn乗和等）の中で、最小値を検出することによって、動きベクトルが検出される。図5の探索範囲は、候補ブロックの中心が位置する領域であり、候補ブロックの全体が含まれる探索範囲の大きさは、(2S+P)×(2T+Q)となる。

【0040】図6は、動きベクトル検出回路111の構成を示している。この動きベクトル検出回路111は、回路全体の動作を制御するコントローラ121と、画像データD<sub>i</sub>が入力される入力端子122と、参照フレームの画像データを蓄積するフレームメモリ123と、探索フレームの画像データを蓄積するフレームメモリ124とを有している。これらフレームメモリ123、124の書き込み、読み出し等の動作は、コントローラ121によって制御される。

【0041】入力端子122からあるフレームの画像データがフレームメモリ123に供給されて書き込まれる際に、このフレームメモリ123に記憶されていた1フレーム前の画像データが読み出されてフレームメモリ124に供給されて書き込まれる。

【0042】コントローラ121の制御に基づき、フレームメモリ124には、フレームメモリ123から参照ブロックの画素データが供給され、そしてこのフレームメモリ124は、この参照ブロックに対応した探索範囲の複数の候補ブロックのそれぞれに対し、この候補ブロックの画素データと参照ブロックの画素データとの差分絶対値を、対応する画素データ毎に演算して出力する。

【0043】また、動きベクトル検出回路111は、フレームメモリ124より出力される、複数の候補ブロックのそれぞれに対応する画素データ毎の差分絶対値を累積する累積器126と、この累積器126で得られる複数の候補ブロックのそれぞれに対する累積値を相関値として格納する相関値テーブル127とを有している。

【0044】また、動きベクトル検出回路111は、相関値テーブル127に格納された複数の候補ブロックのそれぞれに対する相関値に基づいて動きベクトルMVを検出する判断回路128と、この判断回路128で検出された動きベクトルMVを出力する出力端子129とを

- ・ 有している。判断回路128では、最小の相関値を発生する候補ブロックの位置を、動きベクトルMVとして検出する。

【0045】図6に示す動きベクトル検出回路111の動作を説明する。入力端子122に入力される画像データD<sub>i</sub>はフレームメモリ123に供給され、参照フレームの画像データとして蓄積される。またこの際、フレームメモリ123に記憶されていた1フレーム前の画像データは、読み出されてフレームメモリ124に供給され、探索フレームの画像データとして蓄積される。

【0046】フレームメモリ123からフレームメモリ124には、参照ブロックの画像データが供給される。フレームメモリ124では、この参照ブロックに対応した探索範囲の複数の候補ブロックのそれぞれに対し、この候補ブロックの画素データと参照ブロックの画素データとの差分絶対値が、対応する画素データ毎に演算されて出力される。この場合、参照ブロックおよび候補ブロックがP画素×Qラインで構成されている場合には(図3B参照)、複数の候補ブロックのそれぞれに対し、P×Q個の差分絶対値が得られる。

【0047】このように、フレームメモリ124より出力される、複数の候補ブロックのそれぞれに対応する画素データ毎の差分絶対値は累積器126に順次供給されて累積される。この累積器126からの複数の候補ブロックのそれぞれに対する累積値は、相関値テーブル127に供給され、相関値として格納される。そして、判断回路128では、このように相関値テーブル127に格納された複数の候補ブロックのそれぞれに対する相関値に基づき、最小の相関値を発生する候補ブロックの位置が動きベクトルMVとして検出される。

【0048】フレームメモリ123からフレームメモリ124には、参照フレーム内の複数の参照ブロックの画像データが順次供給される。したがって、各参照ブロックに対応して、フレームメモリ124、累積器126、相関値テーブル127および判断回路128では上述した動作が繰り返され、従って判断回路128では、各参照ブロックに対応した動きベクトルMVが順次検出される。このように、判断回路128で検出された動きベクトルMVは出力端子129に出力される。

〔0049〕 次に、フレームメモリ124の詳細を説明する。図7に示すように、本実施の形態において、フレームメモリ124は、4個のメモリブロック125a～125dから構成されているが、フレームメモリ124を構成するメモリブロックの個数は4個に限定されるものではない。メモリブロック125a～125dには、それぞれ、データ入力部、データ出力部、参照データ入力部、演算データ出力部が備えられている。これら、メモリブロック125a、125b、125c、125dには、それぞれ、探索フレームの左上、右上、左下、右下の各部分の画素データが記憶される。

【0050】所定の候補ブロックの中心画素の範囲が、探索フレームの左上、右上、左下、右下の各部分にある場合には、それぞれメモリブロック125a、125b、125c、125dのみを活性化させればよく、消費電力を少なく抑えることができる。

【0051】この場合、メモリブロック125a～125dのそれぞれには、探索フレームの左上、右上、左下、右下の各部分の境界付近の画素データが重複して記憶される。このように、メモリブロック125a～12

10 5 d) に画素データを重複して記憶しておくのは、中心画素が境界付近となる候補ブロックの画素データには、その境界を越えた位置の画素データも必要となるからである

【0052】図8は、メモリブロック125a, 125b, 125c, 125dにそれぞれ記憶される探索フレームの左上、右上、左下、右下の各部分Fa, Fb, Fc, Fdを示している。メモリブロック125a, 125bには水平方向に重複した画素データh a, h bが記憶され、メモリブロック125c, 125dには水平方向

【0053】図9は、メモリブロック125(125a～125d)の構成例を示している。メモリブロック125は、複数のメモリセルがマトリックス状に配された

30 メモリ・セル・アレイ 131 と、記憶データ入出力用ポート（カラム・アドレス・デコーダなどを含む）132 と、記憶データ用ロウ・アドレス・デコーダ 133 と、参照データ入力用ポート&演算補助セル（カラム・アドレス・デコーダなどを含む）134 と、参照データ用ロウ・アドレス・デコーダ 135 を有している。

【0054】メモリ・セル・アレイ131は、ロウ方向に延びるデータを転送するための複数のビット線BL,  
/BL (BLはBLバーを表している)と、カラム方向に延びる、複数のビット線BL,  
/BLに直交する複数

40 のワード線WLと、複数のビット線BL, /BLに平行する、参照データを入力するための参照データ入力線R DL, /R DL ( /R DLはR DLバーを表している)と、複数のビット線BL, /BLに平行する、演算データを出力するための演算データ出力線DAL, DBLと、ワード線WLに平行する、セル選択信号を入力するためのセル選択線WLFと、これらビット線BL, /BL、ワード線WL、参照データ入力線R DL, /RD L、演算データ出力線DAL, DBLおよびセル選択線WLFに接続され、マトリックス状に配された複数のメモリセル140とからなっている。

50

【0055】図10は、図9に示したメモリブロック125のメモリ・セル・アレイ131以外の部分の構成を詳細に示したものである。記憶データ用カラム・アドレス・デコーダ132a、アドレスバッファ132bおよびI/Oバッファ132cは、図9における記憶データ入出力用ポート132を構成している。カラム・アドレス・デコーダ132aには、I/Oゲート（カラム・スイッチ）やセンスアンプ等が含まれている。カラム・アドレス・デコーダ132aには、アドレス・バッファ132bを介してカラム・アドレスが入力される。

【0056】カラム・アドレス・デコーダ132aは、アドレス・バッファ132bを介して供給されるカラム・アドレスに対応して、メモリ・セル・アレイ131のカラム方向の所定の複数のメモリセル140に接続される複数のビット線BL, /BLとの接続を確保し、I/Oバッファ132cおよびカラム・アドレス・デコーダ132aを通じて、当該カラム方向の所定のメモリセルに対する、記憶データの書き込み、読み出しが可能となるようになる。

【0057】また、記憶データ用ロウ・アドレス・デコーダ133には、アドレス・バッファ133aを介してロウ・アドレスが入力される。ロウ・アドレス・デコーダ133は、アドレス・バッファ133aを介して供給されるロウ・アドレスに対応して、メモリ・セル・アレイ131のロウ方向の所定のメモリセル140に接続されるワード線WLを活性化し、I/Oバッファ132cおよびカラム・アドレス・デコーダ132aを通じて、当該ロウ方向の所定のメモリセル140に対する、記憶データの書き込み、読み出しが可能となるようになる。

【0058】また、参照データ用カラム・アドレス・デコーダ134a、アドレス・バッファ134b、I/Oバッファ134cおよび演算補助セル134dは、図9における参照データ入力用ポート&演算補助セル134を構成している。カラム・アドレス・デコーダ134aには、I/Oゲート（カラム・スイッチ）やセンスアンプ等が含まれている。カラム・アドレス・デコーダ134aには、アドレス・バッファ134bを介してカラム・アドレスが入力される。

【0059】カラム・アドレス・デコーダ134aは、アドレス・バッファ134bを介して供給されるカラム・アドレスに対応して、メモリ・セル・アレイ131のカラム方向の所定の複数のメモリセル140に接続される、複数の演算データ出力線DAL, DBLおよび複数の参照データ入力線RDL, /RDLとの接続を確保する。これにより、I/Oバッファ134cおよびカラム・アドレス・デコーダ134aを介して、当該カラム方向の所定の複数のメモリセル140に参照データを入力し、また当該カラム方向の所定の複数のメモリセル140からの演算データを演算補助セル134dに供給することが可能となる。

【0060】また、参照データ用ロウ・アドレス・デコーダ135には、アドレス・バッファ135aを介してロウ・アドレスが入力される。ロウ・アドレス・デコーダ135は、アドレス・バッファ135aを介して供給されるロウ・アドレスに対応して、メモリ・セル・アレイ131のロウ方向の所定のメモリセル140に接続されるセル選択線WL Fにセル選択信号を供給して活性化する。これにより、I/Oバッファ134cおよびカラム・アドレス・デコーダ134aを通じて、当該ロウ方向の所定のメモリセル140に参照データを入力し、さらにはカラム・アドレス・デコーダ134aおよびI/Oバッファ134cを通じて当該ロウ方向の所定のメモリセル140からの演算データを演算補助セル134dに供給することが可能となる。

【0061】また、制御回路136は、メモリブロック125の上述した各回路の動作を、制御入力に基づいて制御する。なお、後述するが、メモリ・セル・アレイ131にマトリックス状に配された複数のメモリセル140の領域はセル選択線WL Fに沿う方向に分割された複数の分割領域からなり、複数のセル選択線WL Fは、それぞれ複数の分割領域に対応して分割された複数の分割セル選択線からなっており、メモリ・セル・アレイ131には、各分割領域で同時に活性化される分割セル線を切り換えるための切り換え機構が配されている。この切り換え機構の制御も、制御回路136によって行われる。

【0062】図11は、メモリブロック125(125a～125d)の他の構成例を示している。この図11において、図9と対応する部分には同一符号を付して示している。この図11に示すメモリブロック125の構成では、図9に示すメモリブロック125の構成に対して、参照データ入力線RDL, /RDL、演算データ出力線DAL, DBL、セル選択線WL Fの方向が異なっている。

【0063】メモリブロック125は、複数のメモリセルがマトリックス状に配されたメモリ・セル・アレイ131と、記憶データ入出力用ポート（カラム・アドレス・デコーダなどを含む）132と、記憶データ用ロウ・アドレス・デコーダ133と、参照データ入力用ポート&演算補助セル（カラム・アドレス・デコーダなどを含む）134と、参照データ用ロウ・アドレス・デコーダ135とを有している。

【0064】メモリ・セル・アレイ131は、ロウ方向に延びるデータを転送するための複数のビット線BL, /BLと、カラム方向に延びる、複数のビット線BL, /BLに直交する複数のワード線WLと、複数のビット線BL, /BLに直交する、参照データを入力するための参照データ入力線RDL, /RDLと、複数のビット線BL, /BLに直交する、演算データを出力するためのDAL, DBLと、ワード線WLに直交する、セル選択

信号を入力するためのセル選択線WLFと、これらビット線BL, /BL、ワード線WL、参照データ入力線R DL, /R DL、演算データ出力線DAL, DBLおよびセル選択線WLFに接続され、マトリックス状に配された複数のメモリセル140とからなっている。

【0065】図12は、図11に示したメモリブロック125のメモリ・セル・アレイ131以外の部分の構成を詳細に示したものである。この図12において、図10と対応する部分には同一符号を付して示している。

【0066】記憶データ用カラム・アドレス・デコーダ132a、アドレスバッファ132bおよびI/Oバッファ132cは、図11における記憶データ入出力用ポート132を構成している。カラム・アドレス・デコーダ132aには、I/Oゲート(カラム・スイッチ)やセンスアンプ等が含まれている。カラム・アドレス・デコーダ132aには、アドレス・バッファ132bを介してカラム・アドレスが入力される。

【0067】カラム・アドレス・デコーダ132aは、アドレス・バッファ132bを介して供給されるカラム・アドレスに対応して、メモリ・セル・アレイ131のカラム方向の所定の複数のメモリセル140に接続される複数のビット線BL, /BLとの接続を確保し、I/Oバッファ132cおよびカラム・アドレス・デコーダ132aを通じて、当該カラム方向の所定のメモリセル140に対する、記憶データの書き込み、読み出しが可能となるようとする。

【0068】また、記憶データ用ロウ・アドレス・デコーダ133には、アドレス・バッファ133aを介してロウ・アドレスが入力される。ロウ・アドレス・デコーダ133は、アドレス・バッファ133aを介して供給されるロウ・アドレスに対応して、メモリ・セル・アレイ131のロウ方向の所定のメモリセル140に接続されるワード線WLを活性化し、I/Oバッファ132cおよびカラム・アドレス・デコーダ132aを通じて、当該ロウ方向の所定のメモリセル140に対する、記憶データの書き込み、読み出しが可能となるようとする。

【0069】また、参照データ用カラム・アドレス・デコーダ134a、アドレス・バッファ134b、I/Oバッファ134cおよび演算補助セル134dは、図11における参照データ入力用ポート&演算補助セル134を構成している。カラム・アドレス・デコーダ134aには、I/Oゲート(カラム・スイッチ)やセンスアンプ等が含まれている。カラム・アドレス・デコーダ134aには、アドレス・バッファ134bを介してカラム・アドレスが入力される。

【0070】カラム・アドレス・デコーダ134aは、アドレス・バッファ134bを介して供給されるカラム・アドレスに対応して、メモリ・セル・アレイ131のロウ方向の所定の複数のメモリセル140に接続される、複数の演算データ出力線DAL, DBLおよび複数

の参照データ入力線R DL, /R DLとの接続を確保する。これにより、I/Oバッファ134cおよびカラム・アドレス・デコーダ134aを介して、当該ロウ方向の所定の複数のメモリセル140に参照データを入力し、また当該ロウ方向の所定の複数のメモリセル140からの演算データを演算補助セル134dに供給することが可能となる。

【0071】また、参照データ用ロウ・アドレス・デコーダ135には、アドレス・バッファ135aを介してロウ・アドレスが入力される。ロウ・アドレス・デコーダ135は、アドレス・バッファ135aを介して供給されるロウ・アドレスに対応して、メモリ・セル・アレイ131のカラム方向の所定のメモリセル140に接続されるセル選択線WLFにセル選択信号を供給して活性化する。これにより、I/Oバッファ134cおよびカラム・アドレス・デコーダ134aを通じて、当該カラム方向の所定のメモリセル140に参照データを入力し、さらにはカラム・アドレス・デコーダ134aおよびI/Oバッファ134cを通じて当該カラム方向の所定のメモリセル140からの演算データを演算補助セル134dに供給することが可能となる。

【0072】また、制御回路136は、メモリブロック125の上述した各回路の動作を、制御入力に基づいて制御する。なお、後述するが、メモリ・セル・アレイ131にマトリックス状に配された複数のメモリセル140の領域はセル選択線WLFに沿う方向に分割された複数の分割領域からなり、複数のセル選択線WLFは、それぞれ複数の分割領域に対応して分割された複数の分割セル選択線からなっており、メモリ・セル・アレイ131には、各分割領域で同時に活性化される分割セル線を切り換えるための切り換え機構が配されている。この切り換え機構の制御も、制御回路136によって行われる。

【0073】次に、メモリセル140について説明する。まず、従来周知のSRAM(Static Random Access Memory)セルおよびDRAM(Dynamic Random Access Memory)セルを説明する。図13は、SRAMセルの一例の構成を示している。負荷素子であるP型MOSトランジスタQ1とN型MOSトランジスタQ3とが電源と接地との間に直列に接続されてCMOSインバータ11が形成されていると共に、負荷素子であるP型MOSトランジスタQ2とN型MOSトランジスタQ4とが電源と接地との間に直列に接続されてCMOSインバータ12が形成されている。そして、これらCMOSインバータ11, 12の各出力、すなわち記憶ノードN1, N2の各電位が互いに他のCMOSインバータ12, 11の入力、すなわちN型MOSトランジスタQ4, Q3の各ゲート入力となっている。

【0074】CMOSインバータ11の記憶ノードN1は、ワード線WLにゲートが接続されたアクセストラン

ジスタQ5を介してビット線BLに接続されている。一方、CMOSインバータ12の記憶ノードN2は、ワード線WLにゲートが接続されたアクセストランジスタQ6を介してビット線/BLに接続されている。

【0075】このような構成のSRAMセルにおいて、一対のCMOSインバータ11, 12で構成されるメモリセル部13に“1”または“0”的データが記憶される。そして、このメモリセル部13とビット線BL, /BLとの間で、アクセストランジスタQ5, Q6を介して、読み出しおよび書き込みのデータ転送が行われる。

【0076】図14は、DRAMセルの一例の構成を示している。キャバシタC1, C2が直列に接続され、互いの中点Pには $V_{cc}/2$ ( $V_{cc}$ は電源電圧)が与えられている。キャバシタC1の中点Pとは反対側が記憶ノードN1とされ、この記憶ノードN1はワード線WLにゲートが接続されたアクセストランジスタQ7を介してビット線BLに接続されている。また、キャバシタC2の中点Pとは反対側が記憶ノードN2とされ、この記憶ノードN2はワード線WLにゲートが接続されたアクセストランジスタQ8を介してビット線/BLに接続されている。

【0077】このような構成のDRAMセルにおいて、一対のキャバシタC1, C2で構成されるメモリセル部14に“1”または“0”的データが記憶される。そして、このメモリセル部14とビット線BL, /BLとの間で、アクセストランジスタQ7, Q8を介して、読み出しおよび書き込みのデータ転送が行われる。

【0078】図15は、本実施の形態におけるメモリセル140の構成を示している。メモリセル部141の記憶ノードN1はワード線WLにゲートが接続されたアクセストランジスタQ11を介してビット線BLに接続されている。一方、メモリセル部141の記憶ノードN2はワード線WLにゲートが接続されたアクセストランジスタQ12を介してビット線/BLに接続されている。

【0079】ここで、メモリセル部141は、メモリセル140がSRAMセルをベースとするものでは例えば図13に示すSRAMセルのメモリセル部13と同様に構成され、メモリセル140がDRAMセルをベースとするものであるときは例えば図14に示すDRAMセルのメモリセル部14と同様に構成される。

【0080】この場合、メモリセル部141に“1”または“0”的データが記憶される。そして、このメモリセル部141とビット線BL, /BLとの間で、アクセストランジスタQ11, Q12を介して、読み出しおよび書き込みのデータ転送が行われる。すなわち、メモリセル部141からの記憶データの読み出し、このメモリセル部141への記憶データの書き込みについては、図13、図14に示すメモリセルと同様に行われる。

【0081】また、メモリセル部141の記憶ノードN1, N2にそれぞれゲートが接続されたN型MOSト

ンジスタQ13, Q14の互いのドレインが接続され、MOSトランジスタQ13のソースは参照データRDが入力される入力端子142aに接続され、MOSトランジスタQ14のソースは接地されている。また、メモリセル部141の記憶ノードN1, N2にそれぞれゲートが接続されたN型MOSトランジスタQ15, Q16の互いのドレインが接続され、MOSトランジスタQ15のソースは入力端子142aに接続され、MOSトランジスタQ16のソースは参照データ/RD(/RDはRDバーを表しており、RDが反転されたものである)が入力される入力端子142bに接続されている。

【0082】入力端子142aは上述した参照データ入力線RD\_Lに接続され、この参照データ入力線RD\_Lを通じて参照データRDが入力される。一方、入力端子142bは上述した参照データ入力線/RD\_Lに接続され、この参照データ入力線/RD\_Lを通じて参照データ/RDが入力される。

【0083】ここで、MOSトランジスタQ13～Q18により、メモリセル部141に記憶されている記憶データと参照データRDとの排他的論理和の反転(E x N OR)および論理積(AND)を得る演算機能部が構成されている。そして、MOSトランジスタQ15, Q16の接続点PaにはE x NOR出力が得られ、MOSトランジスタQ13, Q14の接続点PbにはAND出力が得られる。

【0084】また、N型MOSトランジスタQ17のドレインはMOSトランジスタQ15, Q16の接続点Paに接続され、このMOSトランジスタQ17のソースは演算データDAを出力するための出力端子143に接続される。また、N型MOSトランジスタQ18のドレインはMOSトランジスタQ13, Q14の接続点Pbに接続され、このMOSトランジスタQ18のソースは演算データDBを出力するための出力端子144に接続される。そして、これらMOSトランジスタQ17, Q18のゲートはセル選択信号CSが入力される入力端子145に接続されている。

【0085】出力端子143は上述した演算データ出力線DALに接続され、この演算データ出力線DALに演算データDAが供給される。一方、出力端子143は上述した演算データ出力線DBLに接続され、この演算データ出力線DBLに演算データDBが供給される。さらに、入力端子145は上述したセル選択線WLFに接続され、このセル選択線WLFを通じてセル選択信号CSが入力される。

【0086】ここで、MOSトランジスタQ17, Q18は出力制御部としてのトランジスタゲートを構成しており、入力端子145に“1”的セル選択信号CSが供給されるとき、導通する。そしてこの場合、接続点Paに得られているE x NOR出力がMOSトランジスタQ17を通じて演算データDAとして出力端子143に

出力される。同様に、接続点Pbに得られているAND出力がMOSトランジスタQ18を通じて演算データD Bとして出力端子144に出力される。

【0087】このように、メモリセル部141の記憶データと参照データRDとの演算および演算データDA, DBの出力は、記憶データの書き込みや読み出しとは独立に行うことができ、この記憶データに影響を及ぼすことはない。

【0088】上述したメモリセルブロック125を構成するメモリセル140としては図15に示す構成のものが用いられるが、同様の演算機能部を備えるその他のメモリセルも同様に構成可能である。図16～図18は他のメモリセルの一例を示している。これら図16～図18において、図15と対応する部分には同一符号を付して示している。

【0089】図16に示すメモリセルは、ExNOR演算に係る演算機能部および出力制御部を有するものである。図17に示すメモリセルは、AND演算に係る演算機能部および出力制御部を有するものである。図18に示すメモリセルは、論理和の反転(NOR)の演算に係る演算機能部および出力制御部を有するものである。

【0090】メモリセル部141の記憶ノードN1, N2にそれぞれゲートが接続されたN型MOSトランジスタQ19, Q20の互いのドレインが接続され、MOSトランジスタQ19のソースは接地され、MOSトランジスタQ20のソースは参照データ/RDが入力される入力端子142bに接続されている。MOSトランジスタQ19, Q20により、メモリセル部141に記憶されている記憶データと参照データRDとの論理和の反転(NOR)を得る演算機能部が構成されており、MOSトランジスタQ19, Q20の接続点PbにはNOR出力が得られる。

【0091】また、N型MOSトランジスタQ21のドレインはMOSトランジスタQ19, Q20の接続点Pcに接続され、このMOSトランジスタQ21のソースは演算データDCを出力するための出力端子146に接続される。そして、MOSトランジスタQ21のゲートはセル選択信号CSが入力される入力端子145に接続されている。MOSトランジスタQ21は出力制御部としてのトランジスタゲートを構成しており、入力端子145に“1”のセル選択信号CSが供給されるとき、導通する。そしてこの場合、接続点Pcに得られているNOR出力がMOSトランジスタQ21を通じて演算データDCとして出力端子146に出力される。

【0092】次に、上述のメモリブロック125を構成する演算補助セル134dを説明する。本実施の形態では、演算補助セル134dの部分に、図19に示す加算、減算用の演算補助セル150と、図20に示す差分絶対値演算用の演算補助セル170とが、それぞれ複数個使用される。

【0093】メモリ・セル・アレイ131にマトリックス状に配された複数のメモリセル140のうち、アドレス・バッファ135aに入力されるロウ・アドレスおよびアドレス・バッファ134bに入力されるカラム・アドレスによって(図10, 図12参照)、候補ブロックを構成する複数の画素データをピット毎に記憶しているm×n個のメモリセル140が同時に選択される。mは候補ブロックを構成する画素データの個数を示し、nは画素データのピット数を示している。演算補助セル134dには、このm×n個のメモリセル140の各出力端子143, 144に出力される演算データDA, DBが、m×n対の演算データ出力線DAL, DBLをそれぞれ介して同時に供給される。

【0094】まず、演算補助セル150について説明する。演算補助セル134dの部分には、上述したm×n個のメモリセル140にそれぞれ対応してm×n個の演算補助セル150が設けられる。図19は、候補ブロックの所定の画素データのi番目のピットデータに対応する演算補助セル150を示している。ここで、i=0, 1, ..., n-1であり、0番目のピットデータはLSB(Least Significant Bit)であり、n-1番目のピットデータはMSB(Most Significant Bit)である。

【0095】図19において、N型MOSトランジスタQ31, Q32の互いのドレインが接続されている。また、N型MOSトランジスタQ33, Q34の互いのドレインが接続されており、MOSトランジスタQ34のソースは接地されている。対応するメモリセル140からの演算データDA(ExNOR出力)が演算データD Aiとして入力される入力端子151はインバータIN 1, IN 2の直列回路を介してMOSトランジスタQ32, Q34のそれぞれのゲートに接続されると共に、インバータIN 1, IN 2の接続点はMOSトランジスタQ31, Q33のそれぞれのゲートに接続されている。

【0096】また、下位からのキャリ出力/Ci-1(/Ci-1はCi-1バーを表しており、キャリ出力Ci-1が反転されたものである)が入力される入力端子152は、MOSトランジスタQ32のソースに接続されると共に、インバータIN 3を介して、MOSトランジスタQ31, Q33のそれぞれのソースに接続されている。

【0097】また、対応するメモリセル140からの演算データDB(AND出力)が演算データDBiとして入力される入力端子153はNORゲート154の入力側に接続されている。また、MOSトランジスタQ33, Q34の接続点がNORゲート154の入力側に接続されている。そして、このNORゲート154の出力側は上位へのキャリ出力/Ci(/CiはCiバーを表しており、キャリ出力Ciが反転されたものである)が出力される出力端子155に接続される。また、MOSトランジスタQ31, Q32の接続点はインバータIN 4を介して、演算データSiが出力される出力端子156に

接続されている。

【0098】ここで、候補ブロックの所定の画素データ( $n$ ビット)に対応する $n$ 個の演算補助セル150により、当該候補ブロックの所定の画素データと対応する参照ブロックの画素データとの減算値出力が得られる。すなわち、候補ブロックの所定の画素データを $X_i$ ( $i=0, 1, \dots, n-1$ )、対応する参照ブロックの画素データを $Y_i$ ( $i=0, 1, \dots, n-1$ )とそれぞれ表し、上述したメモリセル140の参照データRDとして $/Y_i$ ( $/Y_i$ は $Y_i$ バ

$$S_i = X_i \oplus \overline{Y_i} \oplus C_{i-1} \quad \dots \quad (1)$$

$$C_i = X_i \cdot \overline{Y_i} + (X_i \oplus \overline{Y_i}) \cdot C_{i-1} \quad \dots \quad (2)$$

\* 一を表しており、 $Y_i$  が反転されたものである) を供給し、 $C_{-1} = 1$  とすることで、演算出力  $S_i$  およびキャリ出力  $C_i$  は、それぞれ (1) 式、(2) 式のように得られ、減算値出力が得られる。この減算値出力は、キャリ出力  $C_{n-1}$  が正負の符号を示すオフセットバイナリで得られる。

[0099]

【数1】

ただし、「 $\oplus$ 」：排他的論理和演算

「·」：論理積演算

## 「+」：論理和演算

【0100】なお、本実施の形態では、上述した減算値出力を用いるものであるが、メモリセル140の参照データRDとして $Y_i$ を供給し、 $C_{-1} = 0$ とすること<sup>20</sup>で、演算出力 $S_i$ およびキャリ出力 $C_i$ は、それぞれ<sup>※</sup>【数2】<sup>※(3)式、(4)式のように得られ、加算値出力を得る</sup>ことができる。【0101】<sup>※【数2】</sup>

$$S_i = X_i \oplus Y_i \oplus C_{i-1} \quad \dots \quad (3)$$

$$C_i = X_i \cdot Y_i + (X_i \oplus Y_i) \cdot C_{i-1} \quad \dots \quad (4)$$

ただし、「 $\oplus$ 」：排他的論理和演算

## 「・」：論理積演算

## 「+」：論理和演算

【0102】次に、演算補助セル170について説明する。メモリブロック125の演算補助セル134dの部分には、上述したように候補ブロックおよび参照ブロックの対応する画素データの減算値出力を得るためのn個の演算補助セル150毎に、演算補助セル170が設けられる。すなわち、演算補助セル134dの部分には、候補ブロックを構成する画素データの個数と等しいm個の演算補助セル170が設けられる。図20は、m個の演算補助セル170のうちk番目( $k = 0, 1, \dots, m-1$ )の演算補助セル170を示している。

【0103】図20において、 $n$ 個の演算補助セル150の演算出力 $S_i$  ( $i=0, 1, \dots, n-1$ ) がそれぞれ入力される入力端子 $171_0, 171_1, \dots, 171_{n-1}$ は、それぞれイクスクルーシブORゲート (EXORゲート)  $171_0, 171_1, \dots, 171_{n-1}$ に入力側に接続される。

【0104】また、 $n-1$ 番目の演算補助セル150のキャリ出力/ $C_{n-1}$ が入力される入力端子173は、 $E \times OR$ ゲート171<sub>0</sub>、171<sub>1</sub>、…、171<sub>n-1</sub>と共に

通に接続される。そして、このEXORゲート17  
 $1_0, 171_1, \dots, 171_{n-1}$ の出力側はそれぞれ  
 $n$ ビット全加算器174の、入力端子 $a_0, a_1, \dots$   
 $, a_{n-1}$ に接続される。

【0105】また、nビット全加算器174の入力端子  
 b<sub>0</sub>は上述の入力端子173に接続されると共に、この  
 nビット全加算器174のb<sub>1</sub>、…、b<sub>n-1</sub>は接地さ  
 れる。そして、このnビット全加算器174の出力端子  
 40 o<sub>0</sub>、o<sub>1</sub>、…、o<sub>n-1</sub>は、それぞれ差分絶対値Dk  
 (Dk<sub>0</sub>～Dk<sub>n-1</sub>)を出力する出力端子175<sub>0</sub>、17  
 5<sub>1</sub>、…、175<sub>n-1</sub>に接続される。

【0106】図20に示す演算補助セル170においては、 $C_{n-1}$ が1で演算出力 $S_i$  ( $i=0,1,\dots,n-1$ )が正であるときは、この演算出力 $S_i$  ( $i=0,1,\dots,n-1$ )がそのまま差分絶対値 $D_k$  ( $i=0,1,\dots,n-1$ )として得られ、一方 $C_{n-1}$ が0で演算出力 $S_i$  ( $i=0,1,\dots,n-1$ )が負であるときは、この演算出力 $S_i$  ( $i=0,1,\dots,n-1$ )の全てのビットが $E \times OR$ ゲート171<sub>0</sub>, 171<sub>1</sub>, 171<sub>2</sub>, ..., 171<sub>n-1</sub>で反転され、その後 $n$ ビット全加算器

31

174で LSBに1が加算されて演算出力  $S_i (i=0,1, \dots, n-1)$  の絶対値が算出され、これが差分絶対値  $D_k (k=0,1, \dots, n-1)$  として得られる。

〔0107〕図21は、候補ブロックを構成するk番目の画素データに対応する差分絶対値Dk( $i=0,1,\dots,n-1$ )を得るための演算補助セル134dの一部構成を示しており、n個の演算補助セル150と、1個の演算補助セル170で構成される。演算補助セル134dの部分には、この図21に示す構成が、候補ブロックを構成する画素データの個数と等しいm個だけ存在することになる。

【0108】上述したように、メモリ・セル・アレイ131にマトリックス状に配された複数のメモリセル140のうち、アドレス・バッファ135aに入力されるロウ・アドレスおよびアドレス・バッファ134bに入力されるカラム・アドレスによって、候補ブロックを構成するm個の画素データをピット毎に記憶しているm×n個のメモリセル140が同時に選択されることで、演算補助セル134dではm個の画素データに対応する減算や差分絶対演算を同時並行的に行うことができる。

【0109】以下、このように、候補ブロックを構成するm個の画素データをピット毎に記憶しているm×n個のメモリセル140を同時に選択可能とするための構成について説明する。

【0110】図22Aは、探索フレームメモリ124を構成する1つのメモリブロック125に記憶される画素データを模式的に示したものである。説明を簡単にするため、1つのメモリブロック125に記憶される画素データは、水平方向に15画素、垂直方向に10ラインの画素データであり、各画素データは1ビットデータであるとする。

〔0111〕図22Bは、各画素データのメモリ・セル・アレイ131内の記憶位置を示している。ここでは、升目のそれぞれがメモリセル140に対応している。メモリ・セル・アレイ131は、参照データのカラム方向(図10のメモリブロック125の構成では、記憶データのカラム方向と同じ、図12のメモリブロック125の構成では、記憶データのロウ方向と同じ)に50個のメモリセル140が並べられた構成となっている。そして、メモリ・セル・アレイ131内の複数のメモリセル140は、カラム方向に分割され、5つの分割領域131a～131eが形成されている。

【0112】ここで、分割領域131aの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「00」～「90」、「05」～「95」および「0a」～「9a」が記憶される。また、分割領域131bの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「01」～「91」、「06」～「9

32

6」および「0 b」～「9 b」が記憶される。また、分割領域131cの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「02」～「92」、「07」～「97」および「0c」～「9c」が記憶される。

【0113】また、分割領域131dの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「03」～「93」、「08」～「98」および「0d」～「9d」が記憶される。さらに、分割領域131eの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「04」～「94」、「09」～「99」および「0e」～「9e」が記憶される。

【0114】上述した複数のセル選択線WLF (図9、図11参照) は、それぞれ各分割領域131a～131eに対応して分割された5本の分割セル選択線WLF a～WLF e (図22Bには図示せず) からなっている。

20 そして、メモリ・セル・アレイ 131 には、各分割領域 131a～131e で同時に活性化される分割セル選択線を切り換えるための切り替え機構が配されている。例えば、図 22B に示すように、各分割領域 131a～131e の間に切り替え機構 180 が配されている。

【0115】図23は、切り換え機構180の構成例を示している。この切り換え機構180はN型MOSトランジスタとP型MOSトランジスタとが並列接続されてなるCMOSトランスマッパーが使用されて構成される。この切り換え機構180は、同一行の分割セル選択線の間に配され、それらを接続するためのトランスマッパーTG1と、隣接行の分割セル選択線の間に配され、それらを接続するためのトランスマッパーTG2とからなっている。

【0116】そして、トランジスタのゲートおよびトランジスタのゲートには切り換え制御信号 $\phi$ が供給され、トランジスタのゲートおよびトランジスタのゲートには切り換え制御信号 $/\phi$ （ $/\phi$ は $\phi$ バーを表し、切り換え制御信号 $\phi$ が反転されたものである）が供給される。なお、各分割領域131a～131eの間に配される切り換え機構180には、それぞれ独立して切り換え制御信号 $\phi$ 、 $/\phi$ が供給される。

【0117】切り換え機構180の動作を説明する。 $\phi = 1$ で、 $/\phi = 0$ であるとき、トランスマルチゲートTG1が導通し、同一行の分割セル選択線同士が接続される状態となる。一方、 $\phi = 0$ で、 $/\phi = 1$ であるとき、トランスマルチゲートTG2が導通し、隣接行の分割セル選択線同士が接続される状態となる。

【0118】メモリ・セル・アレイ131の各分割領域131a～131eの間に、上述したような切り換え機構180が配されていることから、任意の候補ブロックを構成する全画素データをピット毎に記憶している複数のメモリセル140を同時に選択できる。

【0119】例えば、図22Aにハッキングをして示した範囲の候補ブロックに対しては、切り換え機構180によって図22Bに破線で示すように接続された各分割領域131a～131eの分割セル選択線WLFa～WLFeに、参照データ用ロウ・アドレス・デコーダ135（図10、図12参照）から“1”的セル選択信号を供給して活性化すると共に、参照データ用カラム・アドレス・デコーダ134a（図10、図12参照）のI/Oゲート（カラム・スイッチ）により、図22Bでハッキングをして示したメモリセル140を選択すればよい。

【0120】また例えば、図24Aにハッキングをして示した範囲の候補ブロックに対しては、切り換え機構180により図24Bに破線で示すように接続された各分割領域131a～131eの分割セル選択線WLFa～WLFeに、参照データ用ロウ・アドレス・デコーダ135から“1”的セル選択信号を供給して活性化すると共に、参照データ用カラム・アドレス・デコーダ134aのI/Oゲート（カラム・スイッチ）により、図24Bでハッキングをして示したメモリセル140を選択すればよい。

【0121】このように、I/Oゲート（カラム・スイッチ）によるメモリセル140の選択により、矩形または十字形等の任意の形状の候補ブロックに対処することができる。また、1つの分割セル選択線に対応する複数のメモリセル140に、画像データを構成する垂直方向の1列分の画素データを記憶しているので、切り換え機構180とI/Oゲート（カラム・スイッチ）の共働により、候補ブロックの位置を水平、垂直の双方に1画素単位で動かすことができる。

【0122】なお、上述では説明を簡単にするため各画素データは1ピットデータであるとして説明したが、各画素データがnピットデータ（例えばn=8）である場合には、各画素データを記憶するためにn個のメモリセル140が必要となり、それらn個のメモリセル140は例えばカラム方向に連続して配される。

【0123】また、上述した図22B、図24Bの例では、各分割セル選択線WLFa～WLFeにそれぞれ対応した複数のメモリセル140にそれぞれ垂直方向の1列分の画素データが記憶されるものを示したが、各分割セル選択線WLFa～WLFeにそれぞれ対応した複数のメモリセル140にそれぞれ水平方向の1列分の画素データが記憶されるようにしてよい。

【0124】また、各分割セル選択線WLFa～WLFeにそれぞれ対応した複数のメモリセル140に、それ

ぞれ画像データを構成する水平方向または垂直方向のm列分（mは2以上の整数）の画素データが記憶されるようにしてよい。この場合、候補ブロックの位置は、水平方向のm列分の画素データが記憶されるときには垂直方向にはm画素単位で移動でき、また、垂直方向のm列分の画素データが記憶されるときには水平方向にはm画素単位で移動可能となる。

【0125】図25Aは、探索フレームメモリ124を構成する1つのメモリブロック125に記憶される画素データを模式的に示したものである。説明を簡単にするため、1つのメモリブロック125に記憶される画素データは、水平方向に10画素、垂直方向に10ラインの画素データであり、各画素データは1ピットデータであるとする。

【0126】図25Bは、各画素データのメモリ・セル・アレイ131内の記憶位置を示している。ここでは、升目のそれぞれがメモリセル140に対応している。メモリ・セル・アレイ131は、参照データのカラム方向（図10のメモリブロック125の構成では、記憶データのカラム方向と同じ、図12のメモリブロック125の構成では、記憶データのロウ方向と同じ）に50個のメモリセル140が並べられた構成となっている。そして、メモリ・セル・アレイ131内の複数のメモリセル140は、カラム方向に分割され、5つの分割領域131a～131eが形成されている。

【0127】ここで、分割領域131aの連続する第1の行および第2の行のそれぞれの10個のメモリセルには、それぞれ水平方向の1列分の画素データ「00」～「09」および「50」～「59」が記憶される。また、分割領域131bの連続する第1の行および第2の行のそれぞれの10個のメモリセルには、それぞれ水平方向の1列分の画素データ「10」～「19」および「60」～「69」が記憶される。また、分割領域131cの連続する第1の行および第2の行のそれぞれの10個のメモリセルには、それぞれ水平方向の1列分の画素データ「20」～「29」および「70」～「79」が記憶される。

【0128】また、分割領域131dの連続する第1の行および第2の行のそれぞれの10個のメモリセルには、それぞれ水平方向の1列分の画素データ「30」～「39」および「80」～「89」が記憶される。さらに、分割領域131eの連続する第1の行および第2の行のそれぞれの10個のメモリセルには、それぞれ水平方向の1列分の画素データ「40」～「49」および「90」～「99」が記憶される。

【0129】上述した複数のセル選択線WL（図9、図11参照）は、それぞれ各分割領域131a～131eに対応して分割された5本の分割セル選択線WLFa～WLFe（図25Bには図示せず）からなっている。そして、メモリ・セル・アレイ131には、各分割領域

131a～131eで同時に活性化される分割セル選択線を切り換えるための切り換え機構180（図23参照）が配されている。

【0130】このように、各分割セル選択線WLFa～WLFeにそれぞれ対応した複数のメモリセル140にそれぞれ水平方向の1列分の画素データが記憶されるものにあっても、メモリ・セル・アレイ131の各分割領域131a～131eの間に切り換え機構180が配されていることから、任意の候補ブロックを構成する全画素データをピット毎に記憶している複数のメモリセル140を同時に選択できる。

【0131】例えば、図25Aにハッチングをして示した範囲の候補ブロックに対しては、切り換え機構180によって図25Bに破線で示すように接続された各分割領域131a～131eの分割セル選択線WLFa～WLFeに、参照データ用ロウ・アドレス・デコーダ135（図10、図12参照）から“1”的セル選択信号を供給して活性化すると共に、参照データ用カラム・アドレス・デコーダ134a（図10、図12参照）のI/Oゲート（カラム・スイッチ）により、図25Bでハッチングをして示したメモリセル140を選択すればよい。

【0132】また例えば、図26Aにハッチングをして示した範囲の候補ブロックに対しては、切り換え機構180により図26Bに破線で示すように接続された各分割領域131a～131eの分割セル選択線WLFa～WLFeに、参照データ用ロウ・アドレス・デコーダ135から“1”的セル選択信号を供給すると共に、参照データ用カラム・アドレス・デコーダ134aのI/Oゲート（カラム・スイッチ）により、図26Bでハッチングをして示したメモリセル140を選択すればよい。

【0133】また、上述では、メモリ・セル・アレイ131の各分割領域131a～131eで同時に活性化される分割セル選択線を切り換えるために、各分割領域131a～131eの間に切り換え機構180（図23参照）が配されるものを示したが、この切り換え機構は他の構成であってもよい。

【0134】図27は、切り換え機構の他の構成例を示している。この切り換え機構180Aは、各分割領域131a～131eに対応して配される。図27には、分割領域131b、131cの部分のみ示している。

【0135】この切り換え機構180Aを使用する場合、各セル選択線WLF（分割セル選択線WLFa～WLFeで構成される）に平行する、セル選択信号を入力するためのグローバル選択線/GWL（/GWLはGWLバーを表し、セル選択信号として“0”が入力される）が必要となる。

【0136】切り換え機構180Aは、ノアゲートおよびアンドゲートが使用されて構成される。すなわち、ロウ方向の奇数行に対しては、入力側がグローバル選択線

/GWLに接続され、その出力側が対応する分割セル選択線に接続されるノアゲートNGが配され、一方ロウ方向の偶数行に対しては、入力側がグローバル選択線/GWLに接続され、その出力側が対応する分割セル選択線に接続されるオアゲートOGが配される。そして、ノアゲートNGおよびオアゲートOGの入力側には切り換え制御信号/Φ（/ΦはΦバーを表し、切り換え制御信号Φが反転されたものである）が供給される。なお、各分割領域131a～131eに対応して配される切り換え機構180Aには、それぞれ独立して切り換え制御信号/Φが供給される。

【0137】切り換え機構180Aを使用した、各分割領域131a～131eにおけるセル選択線の選択動作について説明する。例えば、図27において、分割領域131bでは第2の行の分割セル選択線WLFbを選択し、分割領域131cでは第1の行の分割セル選択線WLCを選択するものとする。

【0138】この場合、第1、第2の行のグローバル選択線/GWL<sub>i</sub>、/GWL<sub>i+1</sub>にそれぞれセル選択信号として“0”が供給される。また、分割領域131bの切り換え機構180Aに供給される切り換え制御信号/Φとして“1”が供給される。これにより、第2の行のオアゲートOGの出力側には“1”が出力されるため、第2の行の分割セル選択線WLFbが活性化された状態となる。

【0139】一方、分割領域131cの切り換え機構180Aに供給される切り換え制御信号/Φとして“0”が供給される。これにより、第1の行のノアゲートNGの出力側には“1”が出力されるため、第1の行の分割セル選択線WLCが活性化された状態となる。

【0140】このように、メモリ・セル・アレイ131の各分割領域131a～131eに対して、上述したような切り換え機構180Aが配される場合においても、各分割領域131a～131eの間に上述した切り換え機構180が配される場合と同様に、各分割領域131a～131eで同時に活性化される分割セル選択線の切り換えを行うことができ、任意の候補ブロックを構成する全画素データをピット毎に記憶している複数のメモリセル140を同時に選択できる。

【0141】また、この切り換え機構180Aを使用する場合、セル選択信号の伝送路にトランスマルチплексorが配されるものではなく、切り換え機構180におけるように、複数のトランスマルチплексor TG1、TG2が伝送路に配されるもののような、セル選択信号の伝送遅延を回避することができる。

【0142】図28は、切り換え機構のさらに他の構成例を示している。この切り換え機構180Bも、各分割領域131a～131eに対応して配される。図28には、分割領域131b、131cの部分のみ示している。

【0143】この切り換え機構180Bを使用する場合、各セル選択線WL<sub>F</sub>（分割セル選択線WL<sub>Fa</sub>～WL<sub>Fe</sub>で構成される）に平行する、セル選択信号を入力するためのグローバル選択線GWL（セル選択信号として“1”が入力される）が必要となる。

【0144】切り換え機構180Bは、CMOSトランスマッターゲートが使用されて構成される。すなわち、ロウ方向の奇数行に対しては、グローバル選択線GWLと各分割セル選択線WL<sub>Fa</sub>～WL<sub>Fe</sub>とを接続するためのトランスマッターゲートTG3が配され、一方ロウ方向の偶数行に対しては、グローバル選択線GWLと各分割セル選択線WL<sub>Fa</sub>～WL<sub>Fe</sub>とを接続するためのトランスマッターゲートTG4が配される。

【0145】そして、トランスマッターゲートTG3のN型MOSトランジスタのゲートおよびトランスマッターゲートTG4のP型MOSトランジスタのゲートには切り換え制御信号 $\phi$ が供給され、トランスマッターゲートTG3のP型MOSトランジスタのゲートおよびトランスマッターゲートTG4のN型MOSトランジスタのゲートには切り換え制御信号 $/\phi$ （ $/\phi$ は $\phi$ バーを表し、切り換え制御信号 $\phi$ が反転されたものである）が供給される。なお、各分割領域131a～131eに対応して配される切り換え機構180Bには、それぞれ独立して切り換え制御信号 $\phi$ 、 $/\phi$ が供給される。

【0146】切り換え機構180Bを使用した、各分割領域131a～131eにおけるセル選択線の選択動作について説明する。例えば、図28において、分割領域131bでは第2の行の分割セル選択線WL<sub>Fb</sub>を選択し、分割領域131cでは第1の行の分割セル選択線WL<sub>Fc</sub>を選択するものとする。

【0147】この場合、第1、第2の行のグローバル選択線GWL<sub>i</sub>、GWL<sub>i+1</sub>にそれぞれセル選択信号として“1”が供給される。また、分割領域131bの切り換え機構180Bに供給される切り換え制御信号 $\phi$ 、 $/\phi$ としてそれぞれ“0”、“1”が供給される。これにより、第2の行のトランスマッターゲートTG4が導通し、グローバル選択線GWL<sub>i+1</sub>から分割セル選択線WL<sub>Fc</sub>に“1”的セル選択信号が供給されるため、第2の行の分割セル選択線WL<sub>Fb</sub>が活性化された状態となる。

【0148】一方、分割領域131cの切り換え機構180Bに供給される切り換え制御信号 $\phi$ 、 $/\phi$ として“1”、“0”が供給される。これにより、第1の行のトランスマッターゲートTG3が導通し、グローバル選択線GWL<sub>i</sub>から分割セル選択線WL<sub>Fc</sub>に“1”的セル選択信号が供給されるため、第1の行の分割セル選択線WL<sub>Fc</sub>が活性化された状態となる。

【0149】このように、メモリ・セル・アレイ131の各分割領域131a～131eに対して、上述したような切り換え機構180Bが配される場合においても、各分割領域131a～131eの間に上述した切り換え

機構180が配される場合と同様に各分割領域131a～131eで同時に活性化される分割セル選択線の切り換えを行うことができ、任意の候補ブロックを構成する全画素データをピット毎に記憶している複数のメモリセル140を同時に選択できる。

【0150】また、この切り換え機構180Bを使用する場合、セル選択信号の伝送路に配されるトランスマッターゲートは1個だけとなるため、切り換え機構180におけるように、複数のトランスマッターゲートTG1、TG2が伝送路に配されるものに比べて、セル選択信号の伝送遅延を軽減することができる。

【0151】次に、参照フレームの画像データを蓄積するフレームメモリ123（図6参照）を説明する。図29に示すように、フレームメモリ123も、上述したフレームメモリ124と同様に、例えば4個のメモリブロック191a～191dから構成されている。メモリブロック191a～191dには、それぞれ、データ入力部、データ出力部が備えられている。データ入力部より画像データD<sub>i</sub>が入力され、データ出力部から画像データD<sub>o</sub>が出力される。これら、メモリブロック191a、191b、191c、191dには、それぞれ、参照フレームの左上、右上、左下、右下の各部分の画素データが記憶される。

【0152】所定の参照ブロックの中心画素の範囲が、参照フレームの左上、右上、左下、右下の各部分にある場合には、それぞれメモリブロック191a、191b、191c、191dのみを活性化させればよく、消費電力を少なく抑えることができる。

【0153】この場合、メモリブロック191a～191dには、上述したフレームメモリ124のメモリブロック125a～125dと同様に、参照フレームの左上、右上、左下、右下の各部分の境界部に対応して、重複して画素データが記憶される。このように、メモリブロック191a～191dに重複した画素データを記憶しておくのは、中心画素が境界付近となる参照ブロックの画素データには、その境界部を越えた位置の画素データも必要となるからである。

【0154】図30は、メモリブロック191（191a～191d）の構成例を示している。メモリブロック191は、複数のメモリセルがマトリックス状に配されたメモリ・セル・アレイ201と、記憶データ入出力用ポート（カラム・アドレス・デコーダなどを含む）202と、記憶データ用ロウ・アドレス・デコーダ203とを有している。

【0155】メモリ・セル・アレイ201は、ロウ方向に延びるデータを転送するための複数のピット線BL、/BL（/BLはBLバーを表している）と、カラム方向に延びる、複数のピット線BL、/BLに直交する複数のワード線WLと、これらピット線BL、/BLおよびワード線WLに接続され、マトリックス状に配された複

数のメモリセル210とからなっている。

【0156】図31は、図30に示したメモリブロック191のメモリ・セル・アレイ201以外の部分の構成を詳細に示したものである。

【0157】記憶データ用カラム・アドレス・デコーダ202a、アドレスバッファ202bおよびI/Oバッファ202cは、図30における記憶データ入出力用ポート202を構成している。カラム・アドレス・デコーダ202aには、I/Oゲート(カラム・スイッチ)やセンスアンプ等が含まれている。カラム・アドレス・デコーダ202aには、アドレス・バッファ202bを介してカラム・アドレスが入力される。

【0158】カラム・アドレス・デコーダ202aは、アドレス・バッファ202bを介して供給されるカラム・アドレスに対応して、メモリ・セル・アレイ201のカラム方向の所定の複数のメモリセル210に接続される複数のビット線BL, /BLとの接続を確保し、I/Oバッファ202cおよびカラム・アドレス・デコーダ202aを通じて、当該カラム方向の所定のメモリセルに対する、記憶データの書き込み、読み出しが可能となるようとする。

【0159】また、記憶データ用ロウ・アドレス・デコーダ203には、アドレス・バッファ203aを介してロウ・アドレスが入力される。ロウ・アドレス・デコーダ203は、アドレス・バッファ203aを介して供給されるロウ・アドレスに対応して、メモリ・セル・アレイ201のロウ方向の所定のメモリセル210に接続されるワード線WLを活性化し、I/Oバッファ202cおよびカラム・アドレス・デコーダ202aを通じて、当該ロウ方向の所定のメモリセル210に対する、記憶データの書き込み、読み出しが可能となるようとする。

【0160】また、制御回路204は、メモリブロック191の上述した各回路の動作を、制御入力に基づいて制御する。なお、後述するが、メモリ・セル・アレイ201にマトリックス状に配された複数のメモリセルの領域はワード線WLに沿う方向(カラム方向)に分割された複数の分割領域からなり、複数のワード線WLは、それぞれ複数の分割領域に対応して分割された複数の分割ワード線からなっており、メモリ・セル・アレイ201には、各分割領域で同時に活性化される分割ワード線を切り換えるための切り換え機構が配されている。この切り換え機構の制御も、制御回路204によって行われる。

【0161】なお、メモリセル210は、上述したメモリブロック125のメモリセル140とは異なり、演算機能部を持っていない。詳細説明は省略するが、このメモリセル210は、例えば、上述の図13に示すSRA Mセル、あるいは上述の図14に示すDRAMセルと同様の構成とされる。

【0162】メモリブロック191は、任意の参照ブロ

ックを構成する全画素データをピット毎に記憶している複数のメモリセル210を同時に選択可能とされている。以下、そのための構成について説明する。

【0163】図32Aは、参照フレームメモリ123を構成する1つのメモリブロック191に記憶される画素データを模式的に示したものである。説明を簡単にするため、1つのメモリブロック191に記憶される画素データは、水平方向に15画素、垂直方向に10ラインの画素データであり、各画素データは1ピットデータであるとする。

【0164】図32Bは、各画素データのメモリ・セル・アレイ201内の記憶位置を示している。ここでは、升目のそれそれがメモリセル210に対応している。メモリ・セル・アレイ201は、カラム方向に50個のメモリセル210が並べられた構成となっている。そして、メモリ・セル・アレイ201内の複数のメモリセル210は、カラム方向に分割され、5つの分割領域201a～201eが形成されている。

【0165】ここで、分割領域201aの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「00」～「90」、「05」～「95」および「0a」～「9a」が記憶される。また、分割領域201bの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「01」～「91」、「06」～「96」および「0b」～「9b」が記憶される。また、分割領域201cの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「02」～「92」、「07」～「97」および「0c」～「9c」が記憶される。

【0166】また、分割領域201dの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「03」～「93」、「08」～「98」および「0d」～「9d」が記憶される。さらに、分割領域201eの連続する第1の行、第2の行および第3の行のそれぞれの10個のメモリセルには、それぞれ垂直方向の1列分の画素データ「04」～「94」、「09」～「99」および「0e」～「9e」が記憶される。

【0167】上述した複数のワード線WL(図30参照)は、それぞれ各分割領域201a～201eに対応して分割された5本の分割ワード線WLa～WLe(図32Bには図示せず)からなっている。そして、メモリ・セル・アレイ201には、各分割領域201a～201eで同時に活性化される分割ワード線を切り換えるための切り換え機構が配されている。例えば、図32Bに示すように、各分割領域201a～201eの間に切り換え機構220が配されている。

【0168】図33は、切り換え機構220の構成例を示している。この切り換え機構220は、上述したメモリブロック125のメモリ・セル・アレイ131内に配された切り換え機構180（図23参照）と同様に構成されている。

【0169】この切り換え機構220は、N型MOSトランジスタとP型MOSトランジスタとが並列接続されてなるCMOSトランスマッゲートが使用されて構成される。この切り換え機構220は、同一行の分割ワード線の間に配され、それらを接続するためのトランスマッゲートTG1と、隣接行の分割ワード線の間に配され、それらを接続するためのトランスマッゲートTG2とからなっている。

【0170】そして、トランスマッゲートTG1のN型MOSトランジスタのゲートおよびトランスマッゲートTG2のP型MOSトランジスタのゲートには切り換え制御信号 $\phi$ が供給され、トランスマッゲートTG1のP型MOSトランジスタのゲートおよびトランスマッゲートTG2のN型MOSトランジスタのゲートには切り換え制御信号 $/\phi$ （ $/\phi$ は $\phi$ バーを表し、切り換え制御信号 $\phi$ が反転されたものである）が供給される。なお、各分割領域201a～201eの間に配される切り換え機構220には、それぞれ独立して切り換え制御信号 $\phi$ 、 $/\phi$ が供給される。

【0171】切り換え機構220の動作を説明する。 $\phi=1$ で、 $/\phi=0$ であるとき、トランスマッゲートTG1が導通し、同一行の分割ワード線同士が接続される状態となる。一方、 $\phi=0$ で、 $/\phi=1$ であるとき、トランスマッゲートTG2が導通し、隣接行の分割ワード線同士が接続される状態となる。

【0172】メモリ・セル・アレイ201の各分割領域201a～201eの間に、上述したような切り換え機構220が配されていることから、任意の参照ブロックを構成する全画素データをピット毎に記憶している複数のメモリセル210を同時に選択できる。これにより、参照フレームメモリ123から探索フレームメモリ124に、参照ブロックを構成する全画素データのピットデータを参照データとして同時に供給することが可能となる。

【0173】例えば、図32Aにハッティングをして示した範囲の候補ブロックに対しては、切り換え機構220によって図32Bに破線で示すように接続された各分割領域201a～201eの分割ワード線WL<sub>a</sub>～WL<sub>e</sub>に、記憶データ用ロウ・アドレス・デコーダ203（図31参照）から“1”的信号を供給して活性化すると共に、記憶データ用カラム・アドレス・デコーダ202a（図31参照）のI/Oゲート（カラム・スイッチ）により、図22Bでハッティングをして示したメモリセル210を選択すればよい。

【0174】このように、I/Oゲート（カラム・スイ

ッチ）によるメモリセル210の選択により、矩形または十字形等の任意の形状の参照ブロックに対応することができる。また、1つの分割ワード線に対応する複数のメモリセル210に、画像データを構成する垂直方向の1列分の画素データを記憶しているので、切り換え機構220とI/Oゲート（カラム・スイッチ）の共働により、参照ブロックの位置を水平、垂直の双方向に1画素単位で動かすことができる。

【0175】なお、上述では説明を簡単にするため各画素データは1ビットデータであるとして説明したが、各画素データがnビットデータ（例えばn=8）である場合には、各画素データを記憶するためにn個のメモリセル210が必要となり、それらn個のメモリセル210は例えばカラム方向に連続して配される。

【0176】また、上述した図32Bの例では、各分割ワード線WL<sub>a</sub>～WL<sub>e</sub>にそれぞれ対応した複数のメモリセル210にそれぞれ垂直方向の1列分の画素データが記憶されるものを示したが、上述したメモリブロック125のメモリ・セル・アレイ131の場合と同様に、各分割ワード線WL<sub>a</sub>～WL<sub>e</sub>にそれぞれ対応した複数のメモリセル210にそれぞれ水平方向の1列分の画素データが記憶されるようにしてよい。

【0177】また、各分割ワード線WL<sub>a</sub>～WL<sub>e</sub>にそれぞれ対応した複数のメモリセル210に、それぞれ画像データを構成する水平方向または垂直方向のm列分（mは2以上の整数）の画素データが記憶されるようにしてよい。この場合、参照ブロックの位置は、水平方向のm列分の画素データが記憶されるときには垂直方向にはm画素単位で移動でき、また、垂直方向のm列分の画素データが記憶されるときには水平方向にはm画素単位で移動可能となる。

【0178】また、上述では、メモリ・セル・アレイ201の各分割領域201a～201eで同時に活性化される分割ワード線を切り換えるために、各分割領域201a～201eの間に切り換え機構220（図33参照）が配されるものを示したが、この切り換え機構220の代わりに、上述したメモリブロック125のメモリ・セル・アレイ131の場合と同様に、図27に示す切り換え機構180A、あるいは図28に示す切り換え機構180Bと同様の構成を採用することもできる。ただしこの場合には、メモリ・セル・アレイ201は、各ワード線WL（分割ワード線WL<sub>a</sub>～WL<sub>e</sub>で構成される）に平行する、セル選択信号を入力するグローバルワード線を備えている必要がある。

【0179】なお、詳細説明は省略するが、上述したメモリブロック191の構成を、上述したメモリブロック125の記憶データ側にも採用してもよい。これにより、任意のブロックを構成する全画素データをピット毎に記憶している複数のメモリセル140を同時に選択して当該ブロックを構成する全画素データの同時読み出

し、または同時書き込みを行うことが可能となる。  
【0180】以上説明したように、本実施の形態においては、メモリブロック125を構成するメモリセル140に論理演算を行う演算機能部が含まれていると共に(図15参照)、このメモリブロック125に演算データを用いて数値演算を行うための演算補助セル134d(図10、図12参照)を有するものであり、幅の広いデータ・バスを用いて処理回路にデータを伝送することなく、高速かつ効率的に所望の演算処理を行わせることができる。

【0181】また、メモリブロック125において、記憶データの書き込み、読み出しが、複数のビット線BL、/BL、複数のワード線WLを用いて行われるのに對して、演算データD<sub>0</sub>～D<sub>n-1</sub>の出力は、複数の参照データ入力線RD<sub>L</sub>、/RD<sub>L</sub>、複数の演算データ出力線DAL、DBLおよび複数のセル選択線WLFを用いて行われるものであり(図9、図11参照)、記憶データの書き込み、読み出しが、演算データの出力とを独立して行うことができ、全体としてより柔軟で効率的な処理を行うことができる。

【0182】また、探索フレームメモリ124を構成するメモリブロック125において、メモリ・セル・アレイ131のマトリックス状に配された複数のメモリセル140の領域が、セル選択線WLFに沿う方向に分割された複数の分割領域131a～131eからなり、複数のセル選択線WLFが、それぞれ、複数の分割領域131a～131eに対応して分割された複数の分割セル選択線WLF<sub>a</sub>～WLF<sub>e</sub>からなり、各分割領域131a～131eで同時に活性化される分割セル選択線を切り換えるための切り換え機構180、180A、180Bが配されるものであり(図22、図23、図27、図28参照)、分割セル選択線単位で階段状に並ぶ複数のメモリセル140の演算データを複数の演算データ出力線DAL、DBLに出力して、演算補助セル134dで処理できる。

【0183】この場合、1つの分割セル選択線に対応する複数のメモリセル140に、画像データを構成する垂直方向または水平方向の整数列分(1列分またはm列分(mは2以上の整数))の画素データが記憶されるものであり、候補ブロックを構成する複数の画素データに対応した演算データを、同時に複数の演算データ出力線DAL、DBLに出力でき、これらを用いた数値演算を複数の演算補助セル150、170(図19、図20参照)で同時並行的に行うことができる。したがって、動きベクトルMVを求めるための所定の候補ブロックの複数の画素データに係る複数の差分絶対値D<sub>0</sub>～D<sub>n-1</sub>を同時に得ることができ、データ処理効率を大幅に向上できる。

【0184】また、メモリブロック125の参照データ用カラム・アドレス・デコーダ134aのI/Oゲート

(カラム・スイッチ)によるメモリセル140の選択により、矩形または十字形等の任意の形状の候補ブロックに対応できる。また、1つの分割セル選択線に対応する複数のメモリセル140に、画像データを構成する垂直方向または水平方向の整数列分の画素データを記憶しているので、切り換え機構180(180A、180B)とI/Oゲート(カラム・スイッチ)の共働により、候補ブロックの位置を水平、垂直の双方向に容易に移動できる。

- 10 【0185】また、参照フレームメモリ123を構成するメモリブロック191において、メモリ・セル・アレイ201のマトリックス状に配された複数のメモリセル210の領域が、ワード線に沿う方向に分割された複数の分割領域201a～201eからなり、複数のワード線WLが、それぞれ、複数の分割領域201a～201eに対応して分割された複数の分割ワード線WL<sub>a</sub>～WL<sub>e</sub>からなり、各分割領域201a～201eで同時に選択される分割セル選択線を切り換えるための切り換え機構220が配されるものであり(図32、図33参照)、分割ワード線単位で階段状に並ぶ複数のメモリセル210を同時に選択できる。
- 20 【0186】この場合、1つの分割ワード線に対応する複数のメモリセル140に、画像データを構成する垂直方向または水平方向の整数列分(1列分またはm列分(mは2以上の整数))の画素データが記憶されるものであり、参照ブロックを構成する複数の画素データを同時に読み出すことができ、それを探索フレームメモリ124に同時に供給でき、処理の高速化を図ることができる。
- 30 【0187】また、メモリブロック191の記憶データ用カラム・アドレス・デコーダ202aのI/Oゲート(カラム・スイッチ)によるメモリセル210の選択により、矩形または十字形等の任意の形状の参照ブロックに対応できる。また、1つの分割ワード線に対応する複数のメモリセル210に、画像データを構成する垂直方向または水平方向の整数列分の画素データを記憶しているので、切り換え機構220とI/Oゲート(カラム・スイッチ)の共働により、参照ブロックの位置を水平、垂直の双方向に容易に移動できる。
- 40 【0188】また、探索フレームメモリ124は、複数、例えば4個のメモリブロック125a～125dで構成され、これらには探索フレームの左上、右上、左下、右下の各部分の境界部に対応して重複した画素データが記憶されるものであり、所定の候補ブロックの中心画素の範囲が、探索フレームの左上、右上、左下、右下の各部分にある場合には、それぞれメモリブロック125a、125b、125c、125dのみを活性化させればよく、消費電力を少なく抑えることができる。
- 50 【0189】また、参照フレームメモリ123は、複数、例えば4個のメモリブロック191a～191dで

構成され、これらには参照フレームの左上、右上、左下、右下の各部分の境界部に対応して重複した画素データが記憶されるものであり、所定の参照ブロックの中心画素の範囲が、参照フレームの左上、右上、左下、右下の各部分にある場合には、それぞれメモリブロック191a, 191b, 191c, 191dのみを活性化させればよく、消費電力を少なく抑えることができる。

【0190】このように、探索フレームメモリ124、参照フレームメモリ123においては、それぞれ候補ブロックの画素データに係る演算データ、参照ブロックの画素データを得るために、いずれか1個のメモリブロックのみを活性化すればよく、従って他のメモリブロックに関しては他の処理のために使用することも可能となる。これにより、複雑な処理を効率よく行うことが可能となる。

【0191】また、上述した参照フレームメモリ123、探索フレームメモリ124を使用して構成される動きベクトル検出回路111および動き補償予測符号化装置100では、動きベクトルMVの検出のための処理の高速化、効率化を図ることができる。

【0192】なお、上述実施の形態において、探索フレームメモリ124はメモリブロック125a～125dからなり、これらのメモリブロック125a～125dからの差分絶対値D<sub>1</sub>～D<sub>4</sub>をそのまま出力するものであるが、この探索フレームメモリ124に、これら差分絶対値D<sub>1</sub>～D<sub>4</sub>を累積する回路、累積値を格納する回路、さらには累積値から動きベクトルMVを検出する回路等の回路ブロックを一体的に有する構成とすることも考えられる。これにより、さらに処理の高速化、効率化を図ることができる。

【0193】また、上述実施の形態においては、フレームメモリ123、124を構成する4個のメモリブロックには、それぞれ左上、右上、左下、右下の各部分の画素データが記憶されるものを示したが、それとに記憶される画素データを、データ入力順、あるいは画素位置に応じた複数の位相に対応させてもよい。

【0194】また、上述実施の形態においては、動きベクトル検出回路111では、判断回路128で、差分絶対値の累積値（絶対値和）に基づいて動きベクトルMVを検出するものであったが、二乗和または絶対値のn乗和などに基づいて動きベクトルを検出するものも同様に構成することができる。その場合、図6に示す動きベクトル検出回路111では、フレームメモリ124から直接、差分の二乗値あるいは差分のn乗値を得るようにすればよい。

【0195】また、上述実施の形態においては、この発明に係る半導体メモリ装置を、動きベクトル検出回路111、動き補償予測符号化装置100に適用したものを見たが、その他の装置にも同様に適用できることは勿論である。

## 【0196】

【発明の効果】この発明に係る半導体メモリ装置によれば、メモリブロックを構成するメモリセルに論理演算を行う演算機能部が含まれていると共に、このメモリブロックに演算データを用いて数値演算を行うための演算補助セルを有するものあり、幅の広いデータ・バスを用いて処理回路にデータを伝送することなく、高速かつ効率的に所望の演算処理を行わせることができる。

【0197】また、この発明に係る半導体メモリ装置によれば、記憶データの書き込み、読み出しあは、複数のビット線、複数のワード線を用いて行われ、演算データの出力は、複数の参照データ入力線、複数の演算データ出力線および複数のセル選択線を用いて行われるものであり、記憶データの書き込み、読み出しあと、演算データの出力とを独立して行うことができ、全体としてより柔軟で効率的な処理が可能となる。

【0198】また、この発明に係る半導体メモリ装置によれば、マトリックス状に配された複数のメモリセルの領域は、セル選択線に沿う方向に分割された複数の分割領域からなり、複数のセル選択線は、それぞれ、上記複数の分割領域に対応して分割された複数の分割セル選択線からなり、メモリブロックは、各分割領域で同時に活性化される分割セル選択線を切り換えるための切り換え機構を有するものあり、マトリックス状に配された複数のメモリセルのセル選択線に沿う方向に、分割セル選択線単位で階段状に並ぶ複数のメモリセルの演算データを演算データ出力線に出力して、演算補助セルで処理することができる。

【0199】この場合、画像データを構成する画素データをマトリックス状に配された複数のメモリセルに適切に配置しておくことで、矩形または十字形等の任意の形の画素ブロックを構成する複数の画素データに対応した演算データを同時に複数の演算データ出力線に出力でき、これらを用いた数値演算を複数の演算補助セルで一括、同時に行うことができ、データ処理効率の大幅な向上を図ることができ、また当該画素ブロックの位置を容易に変更可能となる。例えば、1つの分割セル選択線に対応する複数のメモリセルに、画像データを構成する垂直方向または水平方向の整数列分の画素データが記憶されることにより、上述の画素ブロックを水平方向または垂直方向に整数画素単位で移動させることができ、一方それと直交する方向に1画素単位で移動させることができ。

【0200】また、この発明に係る半導体メモリ装置によれば、複数のメモリブロックで構成されることで、必要なメモリブロックのみを活性化させて使用でき、消費電力を少なく抑えることができる。

【0201】また、この発明に係る半導体メモリ装置によれば、1個または2個以上のメモリブロックの他に、メモリブロックより出力される演算データに基づく処理

を行う回路ブロックを有するものであり、さらに処理の高速化、効率化を図ることが可能となる。

【0202】また、この発明に係る動きベクトル検出装置および動き補償予測符号化装置は、この発明に係る半導体メモリ装置を用いるものであり、動きベクトル検出のための処理の高速化、効率化を図ることができる。

【図面の簡単な説明】

【図1】実施の形態としての動き補償予測符号化装置の構成を示すブロック図である。

【図2】動き検出のためのブロックマッチング法を説明するための図である。

【図3】動き検出のためのブロックマッチング法を説明するための図である。

【図4】動き検出のためのブロックマッチング法を説明するための図である。

【図5】動き検出のためのブロックマッチング法を説明するための図である。

【図6】動きベクトル検出回路の構成を示すブロック図である。

【図7】探索フレームの画像データを蓄積するフレームメモリ（探索フレームメモリ）の構成を示す図である。

【図8】探索フレームメモリを構成する各メモリブロック間の画素データの重複を説明するための図である。

【図9】探索フレームメモリを構成するメモリブロックの構成例を示す図である。

【図10】探索フレームメモリを構成するメモリブロックの構成例を示す図である。

【図11】探索フレームメモリを構成するメモリブロックの他の構成例を示す図である。

【図12】探索フレームメモリを構成するメモリブロックの他の構成例を示す図である。

【図13】SRAMセルの構成を示す図である。

【図14】DRAMセルの構成を示す図である。

【図15】演算機能部を有するメモリセルの構成を示す図である。

【図16】演算機能部を有する他のメモリセルの構成を示す図である。

【図17】演算機能部を有する他のメモリセルの構成を示す図である。

【図18】演算機能部を有するさらに他のメモリセルの構成を示す図である。

【図19】加算、減算用の演算補助セルの構成を示す図である。

【図20】差分絶対値演算用の演算補助セルの構成を示す図である。

【図21】差分絶対値を得るための演算補助セル（1画素データ分）の構成を示す図である。

【図22】探索フレームの画素データとメモリ・セル・アレイ内の記憶位置を示す図である。

【図23】分割セル選択線の切り換え機構の構成例を示す図である。

す図である。

【図24】探索フレームの画素データとメモリ・セル・アレイ内の記憶位置を示す図である。

【図25】探索フレームの画素データとメモリ・セル・アレイ内の記憶位置を示す図である。

【図26】探索フレームの画素データとメモリ・セル・アレイ内の記憶位置を示す図である。

【図27】分割セル選択線の切り換え機構の他の構成例を示す図である。

【図28】分割セル選択線の切り換え機構のさらに他の構成例を示す図である。

【図29】参照フレームの画像データを蓄積するフレームメモリ（参照フレームメモリ）の構成を示す図である。

【図30】参照フレームメモリを構成するメモリブロックの構成例を示す図である。

【図31】参照フレームメモリを構成するメモリブロックの構成例を示す図である。

【図32】参照フレームの画素データとメモリ・セル・アレイ内の記憶位置を示す図である。

【図33】分割ワード線の切り換え機構の構成例を示す図である。

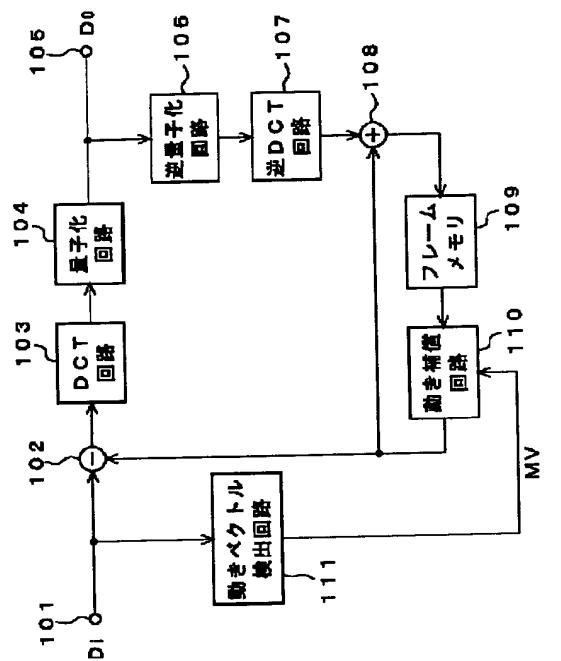
【符号の説明】

100・・・動き補償予測符号化装置、101・・・入力端子、102・・・減算器、103・・・DCT回路、104・・・量子化回路、105・・・出力端子、106・・・逆量子化回路、107・・・逆DCT回路、108・・・加算器、109・・・フレームメモリ、110・・・動き補償回路、111・・・動きベクトル検出回路、121・・・コントローラ、122・・・入力端子、123、124・・・フレームメモリ、125、125a～125d・・・メモリブロック、126・・・累積器、127・・・相関値テーブル、128・・・判断回路、129・・・出力端子、131・・・メモリ・セル・アレイ、131a～131e・・・分割領域、132・・・記憶データ入出力用ポート、132a・・・記憶データ用カラム・アドレス・デコーダ、132b・・・I/Oバッファ、132c・・・アドレス・バッファ、133・・・記憶データ用ロウ・アドレス・デコーダ、133a・・・アドレス・バッファ、134・・・参照データ入力用ポート&演算補助セル、134a・・・参照データ用カラム・アドレス・デコーダ、134b・・・アドレス・バッファ、134c・・・I/Oバッファ、134d・・・演算補助セル、135・・・参照データ用ロウ・アドレス・デコーダ、135a・・・アドレス・バッファ、136・・・制御回路、140・・・メモリセル、141・・・メモリセル部、150・・・演算補助セル、170・・・演算補助セル、180、180A、180B・・・切り換え機構、191、191a～191e・・・メモリブロック、201

...メモリ・セル・アレイ、202...記憶データ \*レス・デコーダ、204...制御回路、210...  
入出力用ポート、203...記憶データ用ロウ・アド\* メモリセル、220...切り換え機構

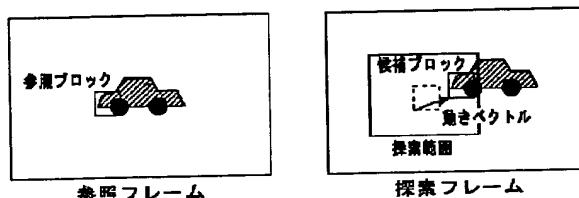
【図1】

## 動き補償予測符号化装置



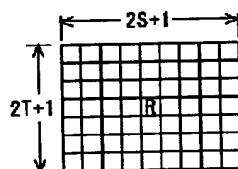
【図2】

## ブロックマッチング法



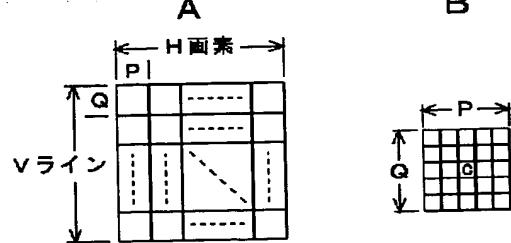
【図5】

## ブロックマッチング法



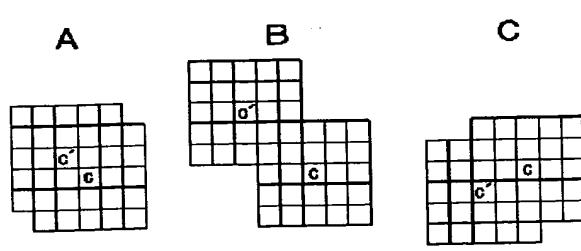
【図3】

## ブロックマッチング法



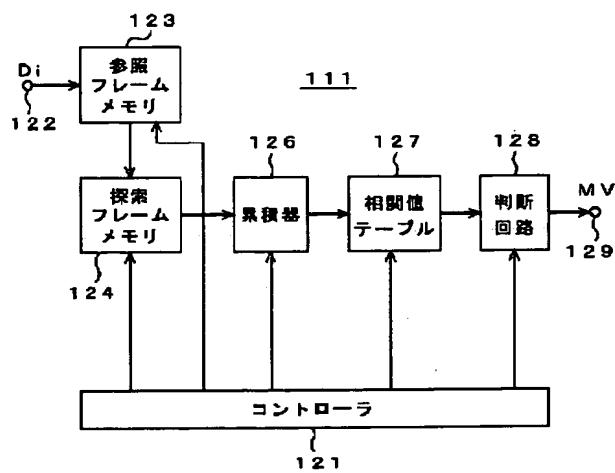
【図4】

## ブロックマッチング法



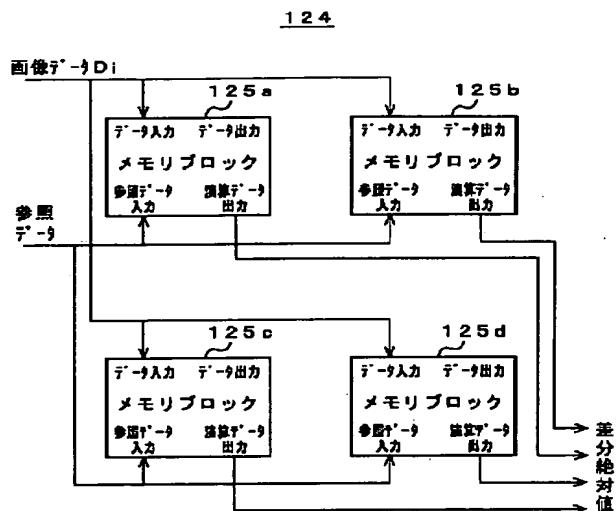
【図6】

## 動きベクトル検出回路



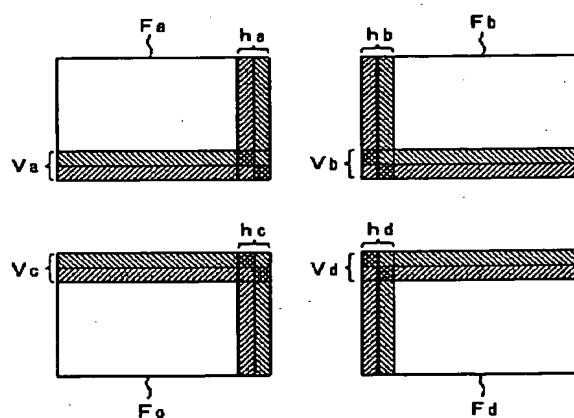
【図7】

## 探索フレームメモリ



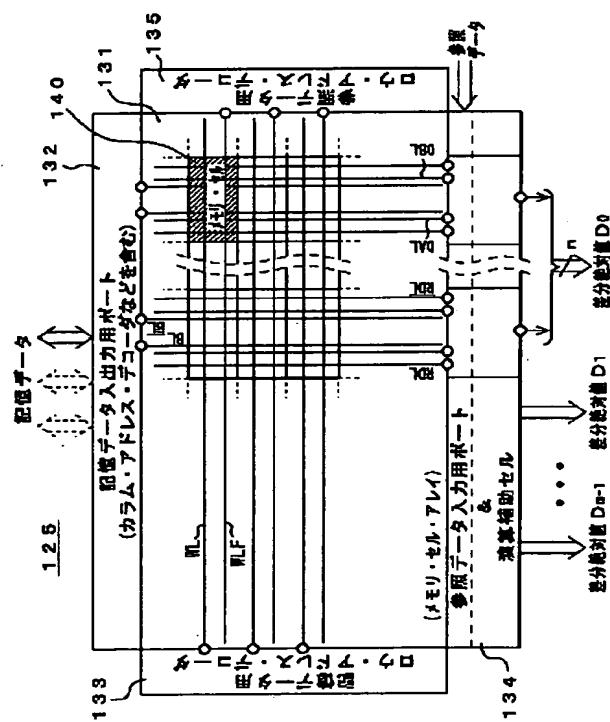
【図8】

## メモリブロック間の画素データの重複



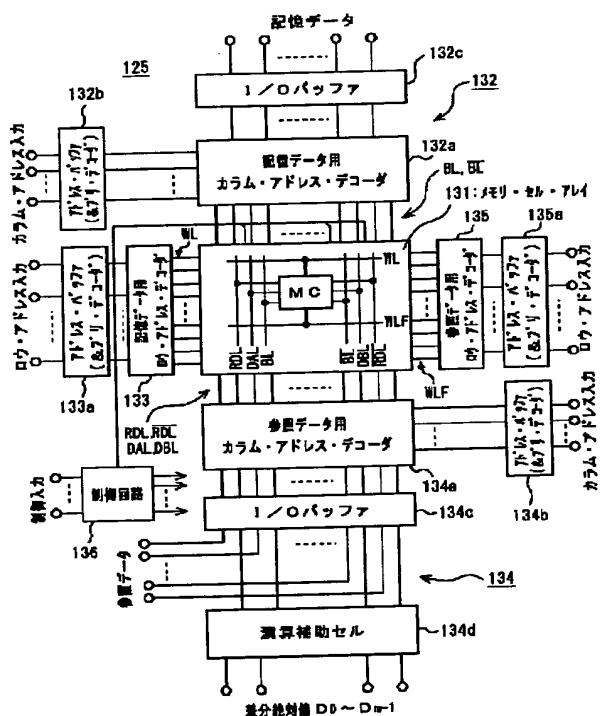
【図9】

## メモリブロックの構成例



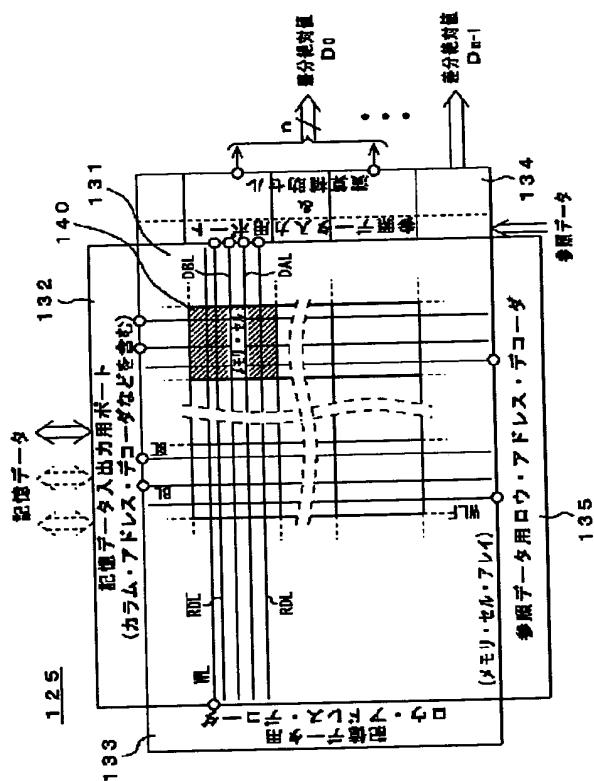
[図10]

### メモリブロックの構成例



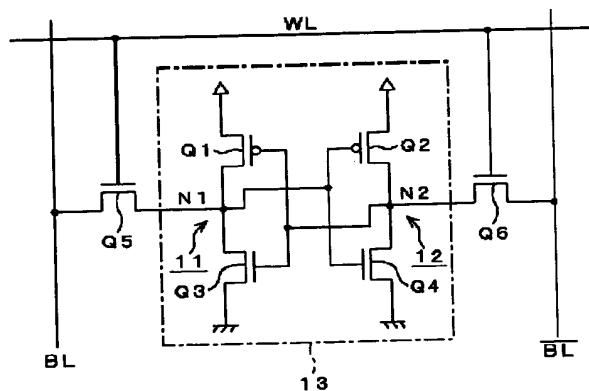
[図11]

### メモリブロックの構成例



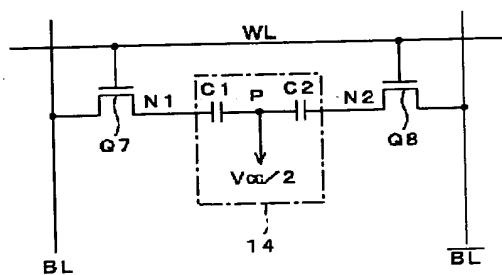
[図13]

## SRAMセル



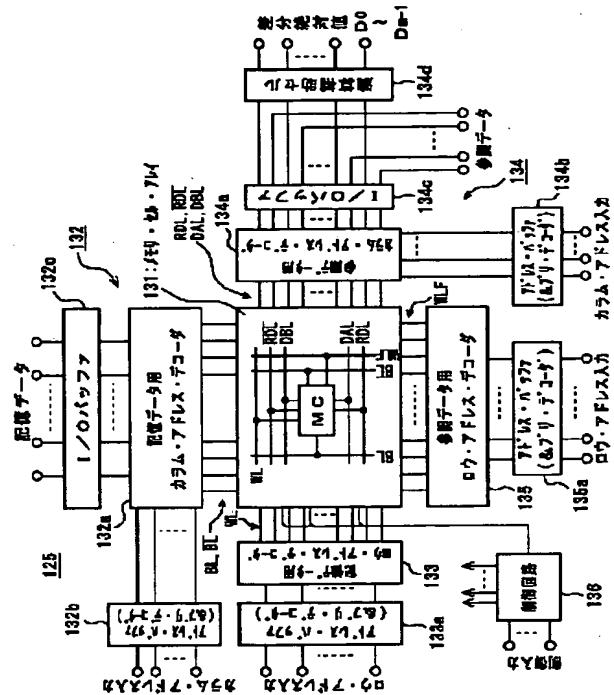
[図14]

## DRAMセル



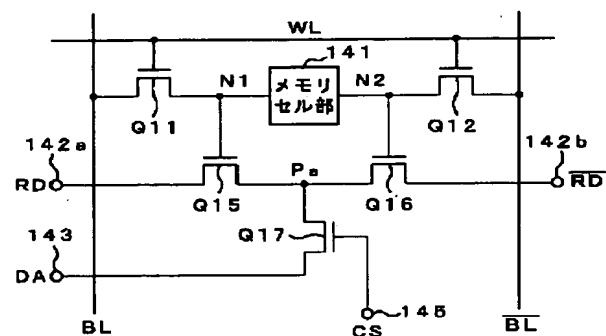
【図12】

## メモリブロックの構成例



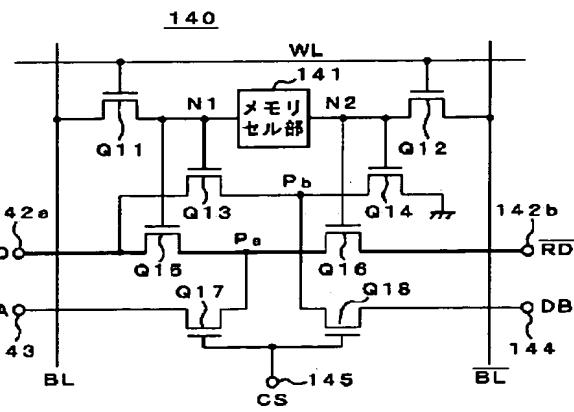
[图 16]

## メモリセル(E x - N O R)



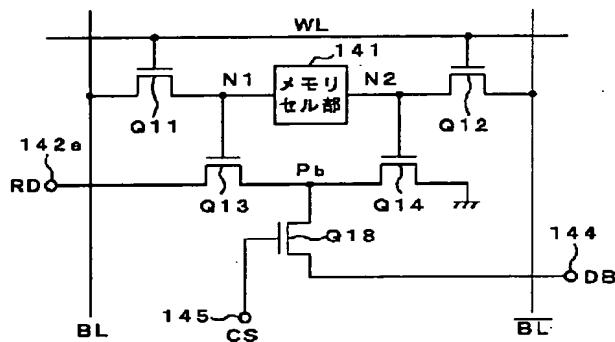
[図15]

### メモリセル(Ex-NOR, AND)



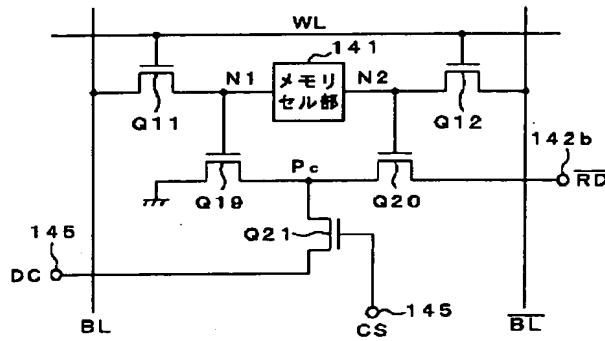
【図17】

### メモリセル(AND)



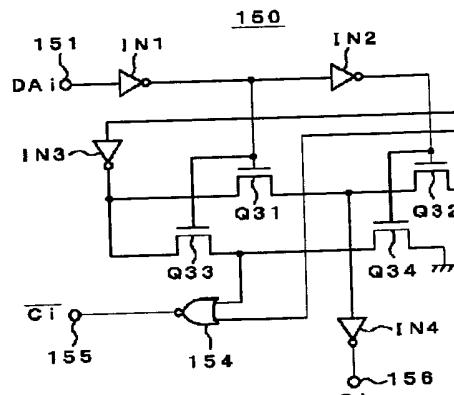
[图 18]

## メモリセル(NOR)

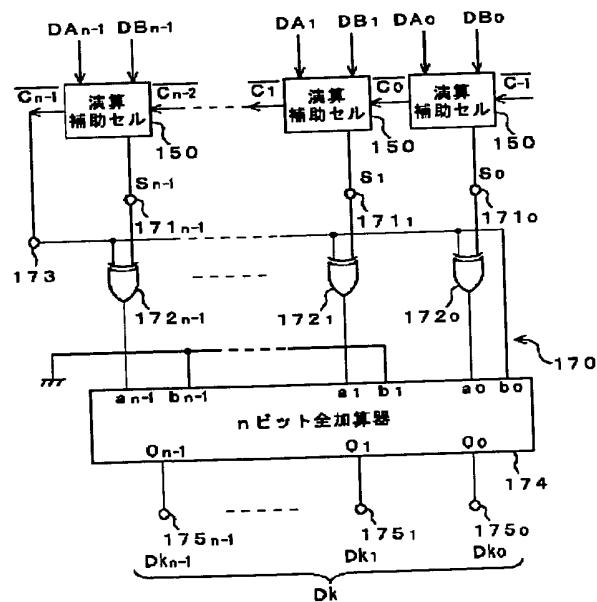


【図19】

## 演算補助セル(加算、減算用)

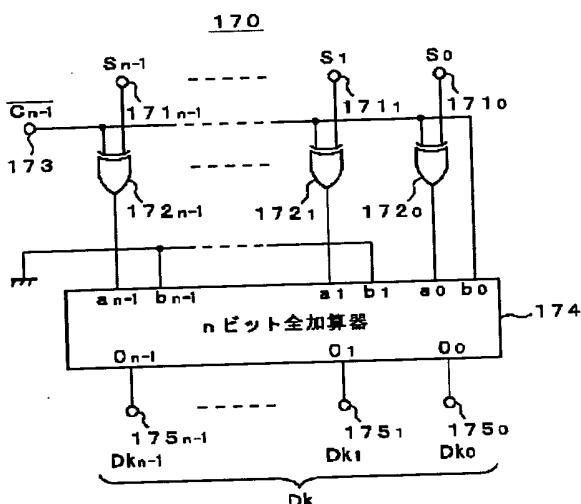


【図21】

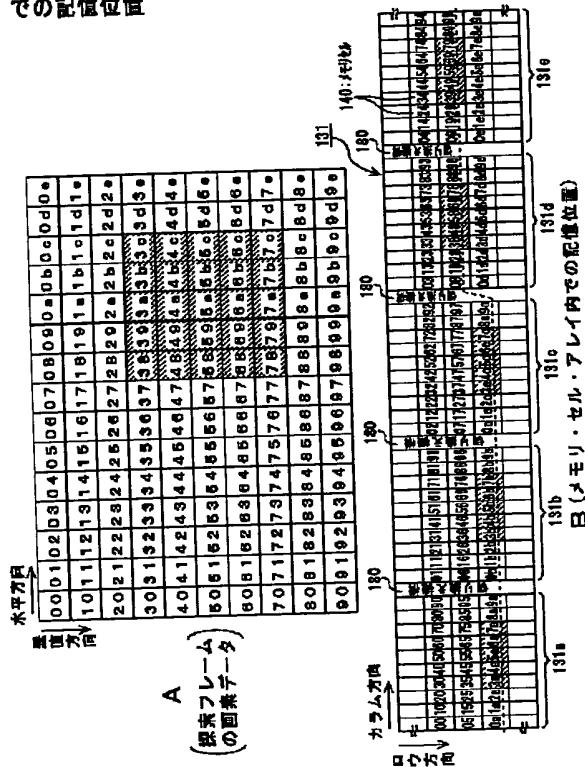
差分絶対値を得るための演算補助セル  
(1画素データ分)

【図20】

## 演算補助セル(差分絶対値演算用)

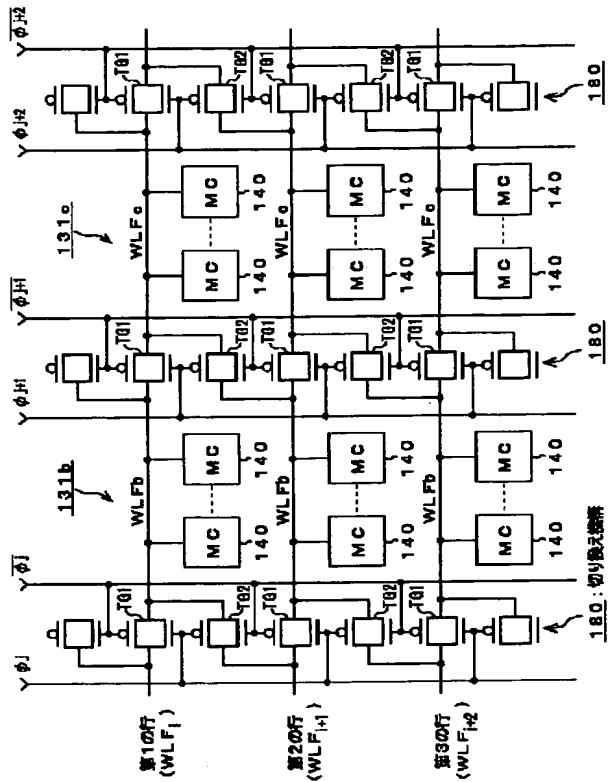


【図22】

探索フレームの画素データとメモリ・セル・アレイ内  
での記憶位置

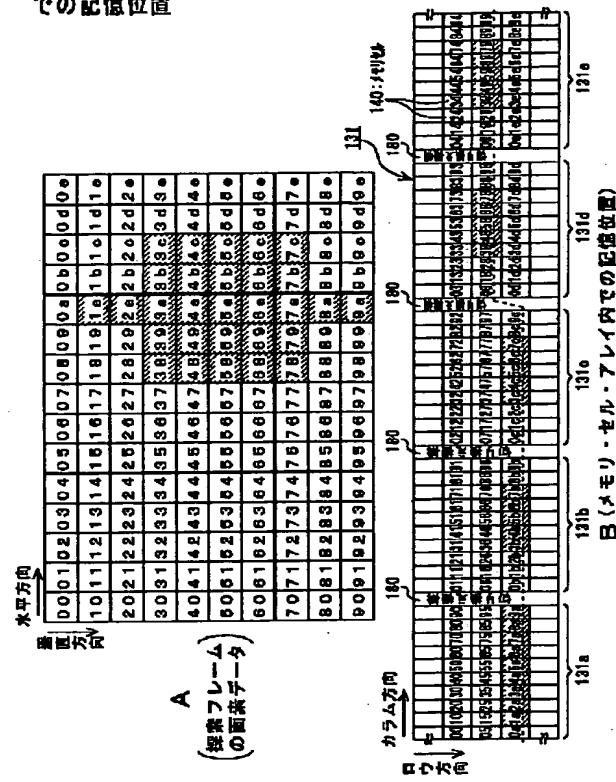
【図23】

## 切り換え機構



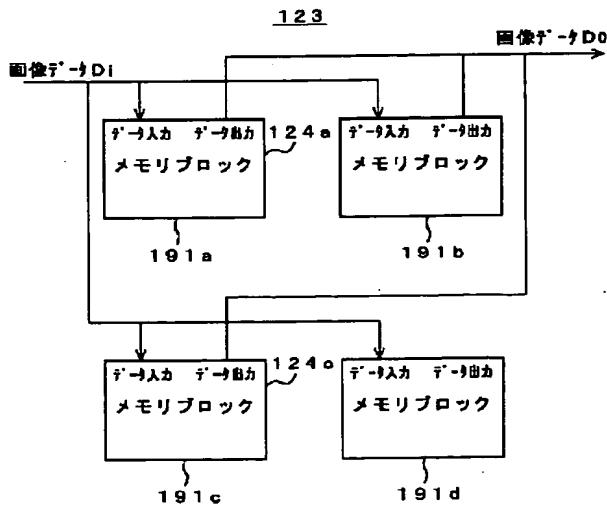
【図24】

## 探索フレームの画素データとメモリ・セル・アレイ内での記憶位置



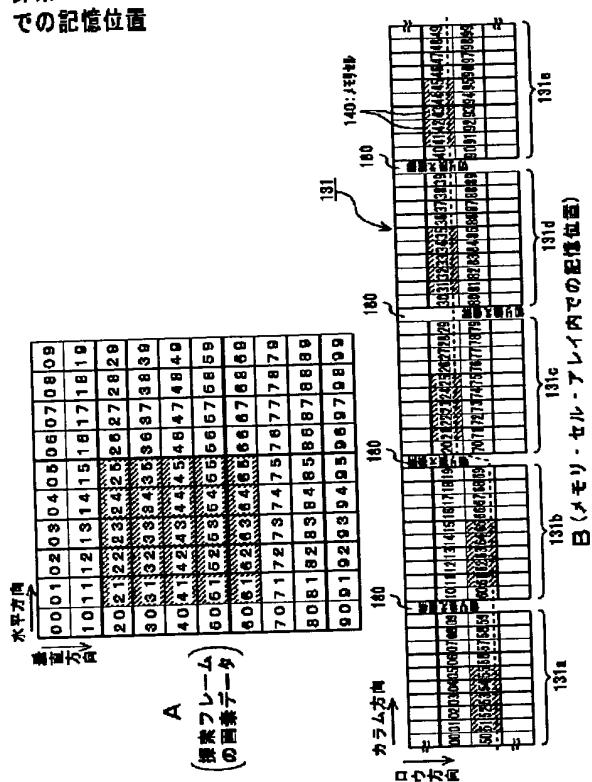
【図29】

## 参照フレームメモリ



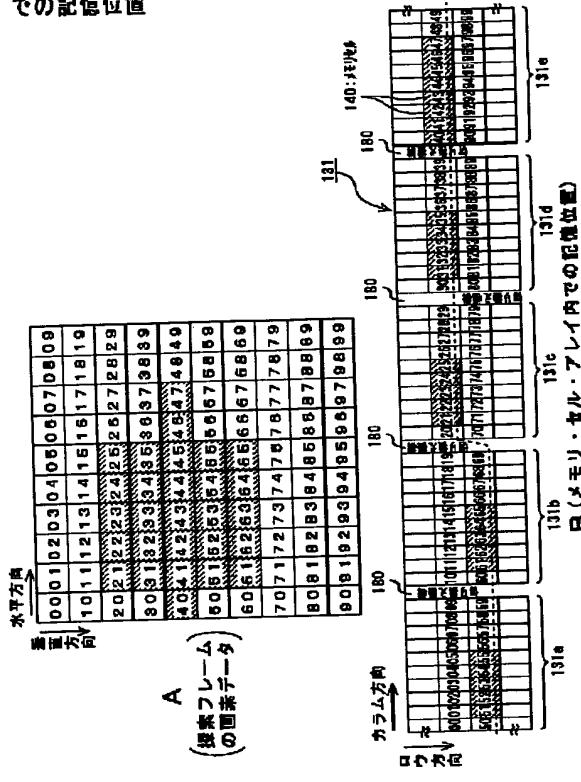
【図25】

探索フレームの固素データとメモリ・セル・アレイ内での記憶位置

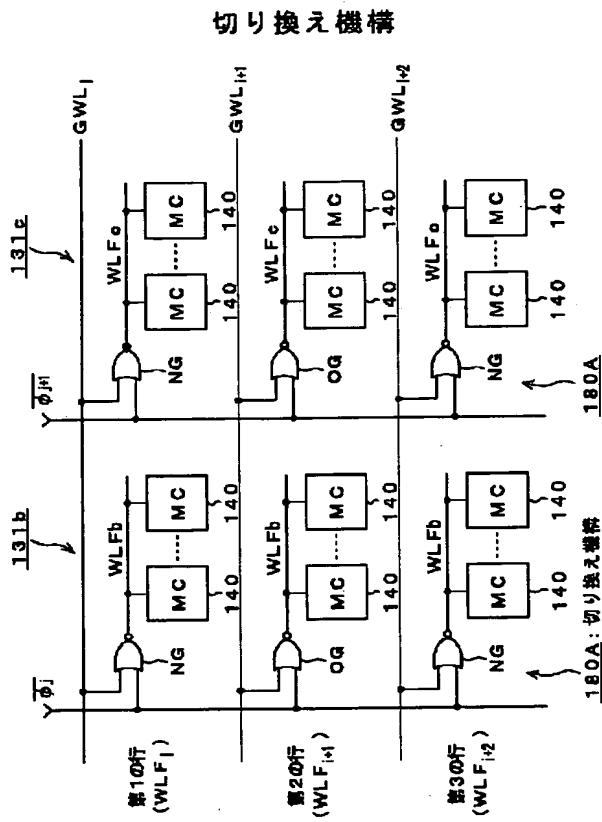


【図26】

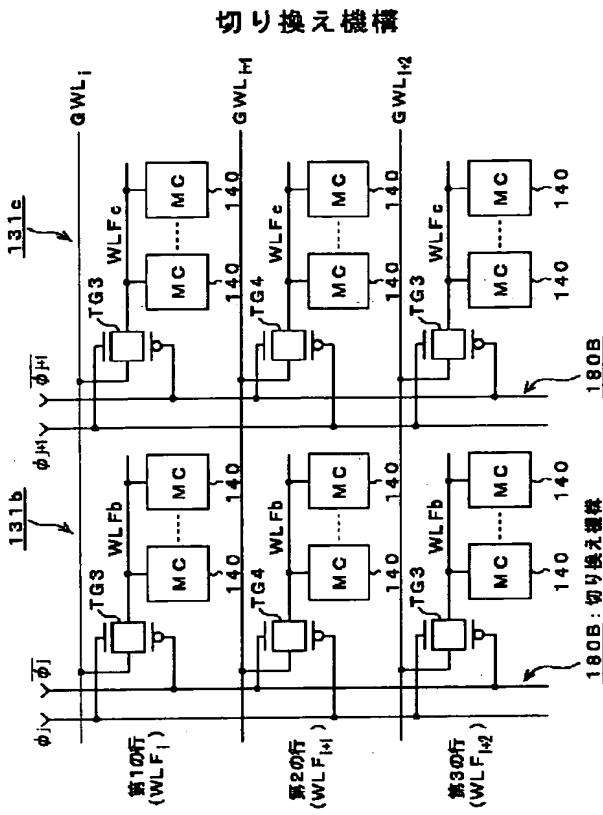
探索フレームの固素データとメモリ・セル・アレイ内での記憶位置



【図27】

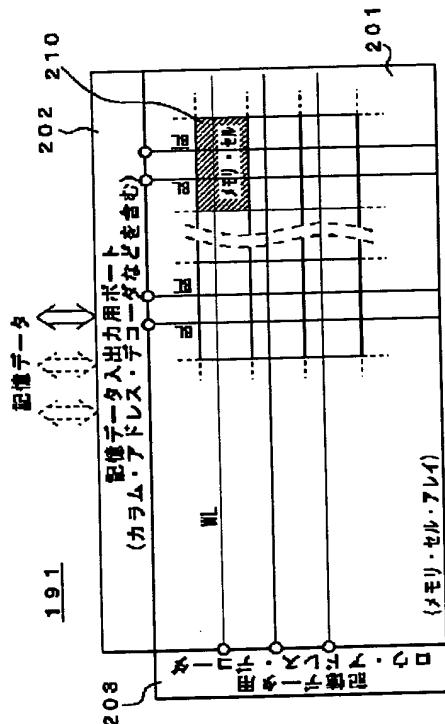


【図28】



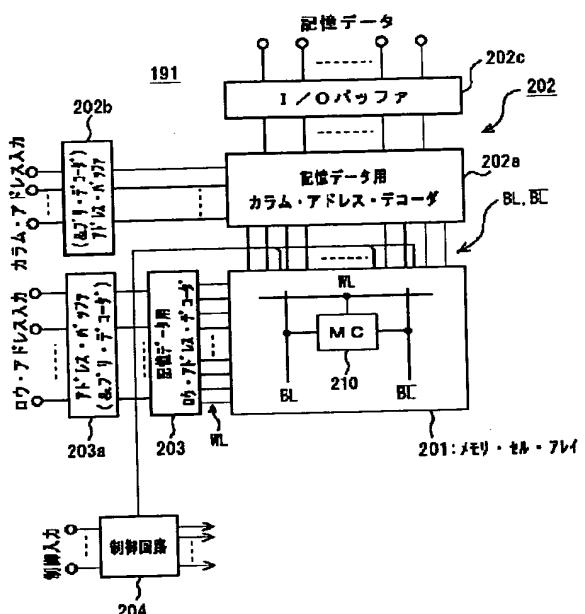
[図30]

## メモリブロックの構成例



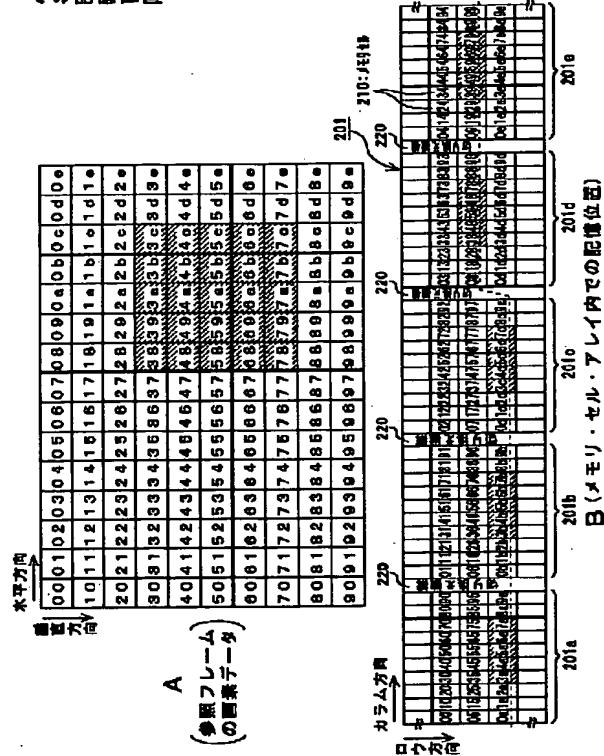
[図31]

### メモリブロックの構成例



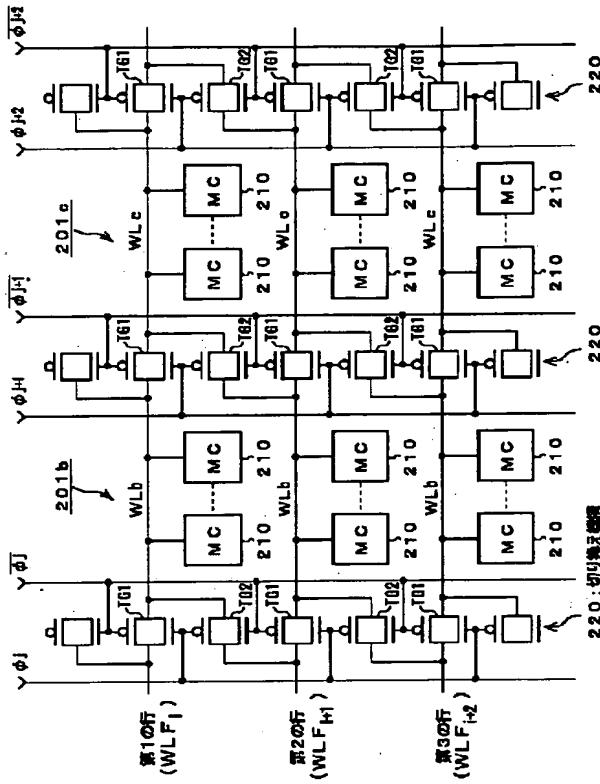
〔図32〕

## 参照フレームの固有データとメモリ・セル・アレイ内での記憶位置



【図33】

## 切り替え機構



## フロントページの続き

(72)発明者 野出 泰史  
東京都品川区北品川6丁目7番35号 ソニ  
一株式会社内

F ターム(参考) 5B015 HH01 JJ21 KA13 NN01 PP01  
PP08  
5B022 AA02 BA10 FA01  
5C059 KK13 KK50 LC04 MA05 MA23  
MC11 NN01 PP04 SS11 TA62  
TB08 TC02 TD02 TD05 TD06  
TD11 TD15 UA02 UA33  
5J042 BA02 CA08 CA11 CA19 CA20  
CA21 DA03 DA04  
5J064 AA02 AA03 BA16 BB01 BB03  
BC01 BC03 BC16 BD03

**THIS PAGE BLANK (USPTO)**